



501.43494X00

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicants: Hiroki KANAI

Serial No.: 10/771,465

Filing Date: February 5, 2004

For: STORAGE DEVICE CONTROLLING DEVICE AND CONTROL METHOD  
FOR STORAGE DEVICE CONTROLLING DEVICE

**LETTER CLAIMING RIGHT OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

May 6, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, applicants hereby claim  
the right of priority based on:

**Japanese Application No. 2003-368591  
Filed: October 29, 2003**

A Certified copy of said application document is attached hereto.

Acknowledgement thereof is respectfully requested.

Respectfully submitted,

\_\_\_\_\_  
Carl I. Brundidge  
Registration No. 29,621  
ANTONELLI, TERRY, STOUT & KRAUS, LLP

CIB/jdc  
Enclosures  
703/312-6600

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月29日  
Date of Application:

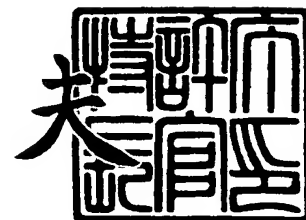
出願番号 特願2003-368591  
Application Number:  
[ST. 10/C]: [JP 2003-368591]

出願人 株式会社日立製作所  
Applicant(s):

2004年 1月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3000981

【書類名】 特許願  
【整理番号】 340300908  
【提出日】 平成15年10月29日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 3/06  
【発明者】  
    【住所又は居所】 神奈川県小田原市中里 3 2 2 番 2 号 株式会社日立製作所 R A I  
                            D システム事業部内  
    【氏名】 金井 宏樹  
【特許出願人】  
    【識別番号】 000005108  
    【氏名又は名称】 株式会社日立製作所  
【代理人】  
    【識別番号】 110000176  
    【氏名又は名称】 一色国際特許業務法人  
    【代表者】 一色 健輔  
【手数料の表示】  
    【予納台帳番号】 211868  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

## 【書類名】 特許請求の範囲

## 【請求項 1】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第 1 のメモリと

を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位での I/O 要求を出力し、前記第 1 のメモリを制御する第 1 のプロセッサと、

第 2 のプロセッサ及び前記第 2 のプロセッサによって制御される第 2 のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第 1 のメモリと前記第 2 のメモリとの間のデータ転送を制御するデータ転送装置と

前記第 1 のプロセッサによって制御される第 3 のメモリと

が形成された回路基板を備え、

前記第 2 のプロセッサが、前記第 2 のメモリにおける前記データの記憶位置を示す情報を前記第 1 のプロセッサに送信し、

前記第 1 のプロセッサが、前記第 1 のメモリにおける前記データの記憶位置を示す情報と、前記第 2 のメモリにおけるデータの記憶位置を示す情報とを含むデータ転送情報を、前記第 3 のメモリに書き込み、

前記データ転送装置が、前記第 3 のメモリから前記データ転送情報を読み出し、

前記データ転送装置が、前記データ転送情報に基づいて、前記第 1 のメモリと前記第 2 のメモリとの間のデータ転送を制御すること

を特徴とする記憶デバイス制御装置。

## 【請求項 2】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第 1 のメモリと

を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位での I/O 要求を出力し、前記第 1 のメモリを制御する第 1 のプロセッサと、

第 2 のプロセッサ及び前記第 2 のプロセッサによって制御される第 2 のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第 1 のメモリと前記第 2 のメモリとの間のデータ転送を制御するデータ転送装置と

前記第 1 のプロセッサによって制御される第 3 のメモリと

が形成された回路基板を備え、

前記第 2 のプロセッサが、前記第 2 のメモリにおける前記データの記憶位置を示す情報を前記第 1 のプロセッサに送信し、

前記第 1 のプロセッサが、前記第 1 のメモリにおける前記データの記憶位置を示す情報と、前記第 2 のメモリにおける前記データの記憶位置を示す情報とを含むデータ転送情報

を、前記第3のメモリに書き込み、

前記第1のプロセッサが、前記第3のメモリにおける前記データ転送情報の記憶位置を示す情報を前記データ転送装置に送信し、

前記データ転送装置が、前記第3のメモリから前記データ転送情報を読み出し、

前記データ転送装置が、前記データ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置。

【請求項3】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリと  
を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、  
前記第1のプロセッサによって制御される第3のメモリと

が形成された回路基板を備え、

前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、

前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、

前記データ転送装置が、前記第2のメモリから前記第2のデータ転送情報を読み出し、

前記データ転送装置が、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置。

【請求項4】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリと  
を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

前記第1のプロセッサによって制御される第3のメモリと  
が形成された回路基板を備え、  
前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報  
を含む第1のデータ転送情報を、前記第3のメモリに書き込み、  
前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報  
を含む第2のデータ転送情報を、前記第2のメモリに書き込み、  
前記第2のプロセッサが、前記第2のデータ転送情報の記憶位置を示す情報を前記第1  
のプロセッサに送信し、  
前記第1のプロセッサが、前記第1のデータ転送情報の記憶位置を示す情報と、前記第  
2のデータ転送情報の記憶位置を示す情報とを含む転送起動情報を、前記データ転送装置  
に送信し、  
前記データ転送装置が、前記転送起動情報に基づいて、前記第2のメモリから前記第2  
のデータ転送情報を読み出し、  
前記データ転送装置が、前記転送起動情報に基づいて、前記第3のメモリから前記第1  
のデータ転送情報を読み出し、  
前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基  
づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置。

**【請求項5】**

前記データ転送装置は、前記第1のメモリと前記第2のメモリとの間で行った前記デー  
タの転送の結果を示す情報を前記第3のメモリに書き込むこと  
を特徴とする請求項1乃至4に記載の記憶デバイス制御装置。

**【請求項6】**

情報処理装置からネットワークを通じてファイル名指定によるデータ書き込み要求及び  
書き込みデータを受信するチャネル制御部と、  
データを記憶する記憶ボリュームに対して、前記書き込みデータの書き込みを行うディス  
ク制御部と、  
前記チャネル制御部及び前記ディスク制御部の間で授受される前記書き込みデータを記  
憶する第1のメモリと  
を備え、  
前記チャネル制御部は、  
前記データ書き込み要求に対応するブロック単位でのライト要求を出力し、前記第1の  
メモリを制御する第1のプロセッサと、  
第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、  
前記データ書き込み要求及び前記書き込みデータを前記情報処理装置から受信するファイ  
ルアクセス処理部と、  
前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

前記第1のプロセッサによって制御される第3のメモリと  
が形成された回路基板を備え、  
前記第1のプロセッサが、前記第1のメモリにおける前記書き込みデータの記憶位置を  
示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、  
前記第2のプロセッサが、前記第2のメモリにおける前記書き込みデータの記憶位置を  
示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、  
前記第2のプロセッサが、前記第2のデータ転送情報の記憶位置を示す情報を前記第1  
のプロセッサに送信し、  
前記第1のプロセッサが、前記第1のデータ転送情報の記憶位置を示す情報と、前記第  
2のデータ転送情報の記憶位置を示す情報とを含む転送起動情報を、前記データ転送装置  
に送信し、  
前記データ転送装置が、前記転送起動情報に基づいて、前記第2のメモリから前記第2

のデータ転送情報を読み出し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記書き込みデータを、前記第2のメモリから前記第1のメモリへ転送し、

前記ディスク制御部が、前記ライト要求に基づいて、前記第1のメモリに記憶された前記書き込みデータを前記記憶ボリュームへ書き込むことを特徴とする記憶デバイス制御装置。

【請求項7】

情報処理装置からネットワークを通じてファイル名指定によるデータ読み出し要求を受信し、データを記憶する記憶ボリュームから読み出された読み出しデータを前記情報処理装置に送信するチャネル制御部と、

前記記憶ボリュームに対して、前記読み出しデータの読み出しを行うディスク制御部と、

前記チャネル制御部及び前記ディスク制御部の間で授受される前記読み出しデータを記憶する第1のメモリと

を備え、

前記チャネル制御部は、

前記データ読み出し要求に対応するブロック単位でのリード要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記データ読み出し要求を前記情報処理装置から受信するファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、前記第1のプロセッサによって制御される第3のメモリと

が形成された回路基板を備え、

前記ディスク制御部が、前記リード要求に基づいて前記記憶ボリュームから読み出した前記読み出しデータを前記第1のメモリに書き込み、

前記第1のプロセッサが、前記第1のメモリにおける前記読み出しデータの記憶位置を示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、

前記第2のプロセッサが、前記第2のメモリにおける前記読み出しデータの記憶位置を示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、

前記第2のプロセッサが、前記第2のデータ転送情報の記憶位置を示す情報を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1のデータ転送情報の記憶位置を示す情報と、前記第2のデータ転送情報の記憶位置を示す情報とを含む転送起動情報を、前記データ転送装置に送信し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第2のメモリから前記第2のデータ転送情報を読み出し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記読み出しデータを、前記第1のメモリから前記第2のメモリへ転送し、

前記第2のプロセッサが、前記第2のメモリに記憶された前記読み出しデータを前記情報処理装置に送信すること

を特徴とする記憶デバイス制御装置。

【請求項8】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリと

を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、前記第1のプロセッサによって制御される第3のメモリと

が形成された回路基板を備えた

記憶デバイス制御装置の制御方法であって、

前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報と、前記第2のメモリにおけるデータの記憶位置を示す情報とを含むデータ転送情報を、前記第3のメモリに書き込み、

前記データ転送装置が、前記第3のメモリから前記データ転送情報を読み出し、

前記データ転送装置が、前記データ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置の制御方法。

#### 【請求項9】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリと

を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、前記第1のプロセッサによって制御される第3のメモリと

が形成された回路基板を備えた

記憶デバイス制御装置の制御方法であって、

前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報と、前記第2のメモリにおける前記データの記憶位置を示す情報とを含むデータ転送情報を、前記第3のメモリに書き込み、

前記第1のプロセッサが、前記第3のメモリにおける前記データ転送情報の記憶位置を示す情報を前記データ転送装置に送信し、

前記データ転送装置が、前記第3のメモリから前記データ転送情報を読み出し、



前記データ転送装置が、前記データ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項10】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリと  
を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、  
前記第1のプロセッサによって制御される第3のメモリと  
が形成された回路基板を備えた

記憶デバイス制御装置の制御方法であって、

前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、

前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、

前記データ転送装置が、前記第2のメモリから前記第2のデータ転送情報を読み出し、

前記データ転送装置が、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項11】

情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データを記憶する記憶ボリュームに記憶される前記データの入出力制御を行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリと  
を備え、

前記チャンネル制御部は、

前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、  
前記第1のプロセッサによって制御される第3のメモリと  
が形成された回路基板を備えた

記憶デバイス制御装置の制御方法であって、

前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、

前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、

前記第2のプロセッサが、前記第2のデータ転送情報の記憶位置を示す情報を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1のデータ転送情報の記憶位置を示す情報と、前記第2のデータ転送情報の記憶位置を示す情報とを含む転送起動情報を、前記データ転送装置に送信し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第2のメモリから前記第2のデータ転送情報を読み出し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御すること  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項12】

前記データ転送装置は、前記第1のメモリと前記第2のメモリとの間で行った前記データの転送の結果を示す情報を前記第3のメモリに書き込むこと

を特徴とする請求項8乃至11に記載の記憶デバイス制御装置の制御方法。

【請求項13】

情報処理装置からネットワークを通じてファイル名指定によるデータ書き込み要求及び書き込みデータを受信するチャンネル制御部と、

データを記憶する記憶ボリュームに対して、前記書き込みデータの書き込みを行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受される前記書き込みデータを記憶する第1のメモリと

を備え、

前記チャンネル制御部は、

前記データ書き込み要求に対応するブロック単位でのライト要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記データ書き込み要求及び前記書き込みデータを前記情報処理装置から受信するファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、  
前記第1のプロセッサによって制御される第3のメモリと  
が形成された回路基板を備えた

記憶デバイス制御装置の制御方法であって、

前記第1のプロセッサが、前記第1のメモリにおける前記書き込みデータの記憶位置を示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、

前記第2のプロセッサが、前記第2のメモリにおける前記書き込みデータの記憶位置を示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、

前記第2のプロセッサが、前記第2のデータ転送情報の記憶位置を示す情報を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1のデータ転送情報の記憶位置を示す情報と、前記第2のデータ転送情報の記憶位置を示す情報とを含む転送起動情報を、前記データ転送装置に送信し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第2のメモリから前記第2のデータ転送情報を読み出し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記書き込みデータを、前記第2のメモリから前記第1のメモリへ転送し、

前記ディスク制御部が、前記ライト要求に基づいて、前記第1のメモリに記憶された前記書き込みデータを前記記憶ボリュームへ書き込むこと  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項14】

情報処理装置からネットワークを通じてファイル名指定によるデータ読み出し要求を受信し、データを記憶する記憶ボリュームから読み出された読み出しデータを前記情報処理装置に送信するチャネル制御部と、

前記記憶ボリュームに対して、前記読み出しデータの読み出しを行うディスク制御部と、

前記チャネル制御部及び前記ディスク制御部の間で授受される前記読み出しデータを記憶する第1のメモリと

を備え、

前記チャネル制御部は、

前記データ読み出し要求に対応するブロック単位でのリード要求を出力し、前記第1のメモリを制御する第1のプロセッサと、

第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記データ読み出し要求を前記情報処理装置から受信するファイルアクセス処理部と、

前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と

、  
前記第1のプロセッサによって制御される第3のメモリと  
が形成された回路基板を備えた

記憶デバイス制御装置の制御方法であって、

前記ディスク制御部が、前記リード要求に基づいて前記記憶ボリュームから読み出した前記読み出しデータを前記第1のメモリに書き込み、

前記第1のプロセッサが、前記第1のメモリにおける前記読み出しデータの記憶位置を示す情報を含む第1のデータ転送情報を、前記第3のメモリに書き込み、

前記第2のプロセッサが、前記第2のメモリにおける前記読み出しデータの記憶位置を示す情報を含む第2のデータ転送情報を、前記第2のメモリに書き込み、

前記第2のプロセッサが、前記第2のデータ転送情報の記憶位置を示す情報を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1のデータ転送情報の記憶位置を示す情報と、前記第2のデータ転送情報の記憶位置を示す情報とを含む転送起動情報を、前記データ転送装置に送信し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第2のメモリから前記第2のデータ転送情報を読み出し、

前記データ転送装置が、前記転送起動情報に基づいて、前記第3のメモリから前記第1のデータ転送情報を読み出し、

前記データ転送装置が、前記第1のデータ転送情報及び前記第2のデータ転送情報に基づいて、前記読み出しデータを、前記第1のメモリから前記第2のメモリへ転送し、

前記第2のプロセッサが、前記第2のメモリに記憶された前記読み出しデータを前記情報処理装置に送信すること

を特徴とする記憶デバイス制御装置の制御方法。

**【書類名】 明細書****【発明の名称】 記憶デバイス制御装置、及び記憶デバイス制御装置の制御方法****【技術分野】****【0001】**

本発明は、記憶デバイス制御装置、及び記憶デバイス制御装置の制御方法に関する。

**【背景技術】****【0002】**

近年コンピュータシステムで取り扱われるデータ量が増加している。このようなデータを管理するためのストレージシステムとして、最近ではミッドレンジクラスやエンタープライズクラスと呼ばれるような、巨大な記憶資源を提供する R A I D (Redundant Arrays of Inexpensive Disks) 方式で管理された記憶ボリュームを備えた大規模なストレージシステムが注目されている。また、かかる膨大なデータを効率よく利用し管理するために、ストレージシステムと情報処理装置とを専用のネットワーク (Storage Area Network、以下 S A N と記す) で接続し、ストレージシステムへの高速かつ大量なアクセスを実現する技術が開発されている。

**【0003】**

一方、ストレージシステムと情報処理装置とを T C P / I P (Transmission Control Protocol/Internet Protocol) プロトコル等を用いたネットワークで相互に接続し、情報処理装置からのファイル名指定によるアクセスを実現する N A S (Network Attached Storage) と呼ばれるストレージシステムが開発されている。

**【0004】**

またこのようなストレージシステムにおいては、データアクセスの高速化のために、C P U (Central Processing Unit) を介さずにデータを転送する D M A (Direct Memory Access) 転送技術が使われている。D M A 転送に際しては、C P U は D M A コントローラが備えるレジスタにデータの転送元記憶アドレスや転送先記憶アドレスといったデータの転送に必要なデータ転送情報を書き込んで、D M A コントローラにデータ転送の開始を指示する。これにより、D M A コントローラによってデータの転送が C P U を介することなく行われる。

**【特許文献1】 特開 2003-22246 号公報**

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

しかしながら、D M A コントローラを含むデータ転送回路における C P U から D M A コントローラのレジスタへのデータの書き込みには、C P U からメモリ素子へのデータの書き込みと比べて、より多くの時間を要する。そのため、データ転送が頻繁に発生するような状況では、C P U による D M A コントローラのレジスタへのデータの書き込みを含む、D M A 起動処理にかかる時間が要因となり、データアクセスの高速化が妨げられることとなる。

**【0006】**

またデータ入出力制御が複数の C P U を用いて行われる場合において、各 C P U によりそれぞれ制御されるメモリの間でデータの転送を行う場合には、D M A コントローラの制御を行う C P U は、他の C P U により制御されるメモリにおけるデータの記憶アドレス等の情報を取得する必要がある。また各メモリによってデータ転送のサイズが異なる場合には、D M A コントローラの制御を行う C P U は、データ転送のサイズを合わせるための制御も行う必要がある。D M A コントローラの制御を行う C P U の処理負荷が上昇することは、データアクセスの高速化を妨げる要因となる。このため、D M A コントローラの制御を行う C P U の処理負荷を軽減することが望まれていた。

**【0007】**

本発明は上記課題を鑑みてなされたものであり、記憶デバイス制御装置、及び記憶デバイス制御装置の制御方法を提供することを主たる目的とする。

## 【課題を解決するための手段】

## 【0008】

上記課題を解決するために、本発明は、情報処理装置からネットワークを通じてファイル名指定によるデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、前記データを記憶する記憶ボリュームに記憶される前記データの出力制御を行うディスク制御部と、前記チャンネル制御部及び前記ディスク制御部の間で授受される前記データを記憶する第1のメモリとを備え、前記チャンネル制御部は、前記データ入出力要求に対応するブロック単位でのI/O要求を出力し、前記第1のメモリを制御する第1のプロセッサと、第2のプロセッサ及び前記第2のプロセッサによって制御される第2のメモリを有し、前記情報処理装置との間で行われる前記データ入出力要求及び前記データの送受信の制御を行うファイルアクセス処理部と、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御するデータ転送装置と、前記第1のプロセッサによって制御される第3のメモリとが形成された回路基板を備え、前記第2のプロセッサが、前記第2のメモリにおける前記データの記憶位置を示す情報を前記第1のプロセッサに送信し、前記第1のプロセッサが、前記第1のメモリにおける前記データの記憶位置を示す情報と、前記第2のメモリにおけるデータの記憶位置を示す情報とを含むデータ転送情報を、前記第3のメモリに書き込み、前記データ転送装置が、前記第3のメモリから前記データ転送情報を読み出し、前記データ転送装置が、前記データ転送情報に基づいて、前記第1のメモリと前記第2のメモリとの間のデータ転送を制御することを特徴とする記憶デバイス制御装置に関する。

## 【0009】

ここで記憶デバイス制御装置とは、情報処理装置から受信したデータ入出力要求に応じて、データが記憶される記憶ボリュームへのデータの読み書きを制御する装置をいう。情報処理装置とはCPUやメモリを備えたコンピュータ等の情報機器をいう。情報処理装置は、上記記憶デバイス制御装置や記憶ボリュームを備えて構成されるストレージシステム、あるいは他の情報処理装置にLAN (Local Area Network) やSAN等のネットワークを介して接続される場合には、ストレージシステムや他の情報処理装置と通信を行うことにより、ストレージシステムや他の情報処理装置との間でデータを授受する。また記憶ボリュームは、例えばハードディスク装置などのディスクドライブにより提供される物理的な記憶領域である物理ボリュームと、物理ボリューム上に論理的に設定される記憶領域である論理ボリュームとを含む、データを記憶するための記憶リソースをいう。

## 【0010】

ファイルアクセス処理部は情報処理装置との間でファイル名指定によるデータの授受を行う。ファイルアクセス処理部の機能は、第2のプロセッサにより実行されるオペレーティングシステムおよびこのオペレーティングシステム上で動作する例えばNFS (Network File System) 等のソフトウェアによって提供される。

## 【0011】

第1のプロセッサは、例えばファイルアクセス処理部のハードウェア要素である第2のプロセッサとは独立したIC (Integrated Circuit) をハードウェア要素とし、第1のメモリを制御する。また第1のプロセッサはファイルアクセス処理部が情報処理装置から受信したファイル単位のデータ入出力要求に応じて、ブロック単位のI/O要求を出力する。このI/O要求によりディスク制御部は、記憶ボリュームに記憶されたデータの出力制御を行う。第1のメモリとは例えば後述するキャッシュメモリである。またデータ転送装置はDMAコントローラとして機能する。

## 【0012】

これにより、例えば情報処理装置からファイルアクセス処理部がファイル名指定によるデータ書き込み要求と書き込みデータとを受信した場合には、まず書き込みデータは第2のメモリに記憶される。そして第1のプロセッサはファイル名指定によるデータ書き込み要求に対応するブロック単位のライト要求を出力する。一方データ転送装置は、第2のメモリに記憶された書き込みデータを第1のメモリに転送する。そしてディスク制御部は、

ライト要求に基づいて、第1のメモリから書き込みデータを読み出すと共に、その書き込みデータをブロック単位で記憶ボリウムに書き込む。

【0013】

また情報処理装置からファイルアクセス処理部がファイル名指定によるデータ読み出し要求を受信した場合には、第1のプロセッサはファイル名指定によるデータ読み出し要求に対応するブロック単位のリード要求を出力する。一方ディスク制御部は、リード要求に基づいて、記憶ボリウムからブロック単位でデータを読み出すと共に、その読み出しデータを第1のメモリに書き込む。そしてデータ転送装置は、第1のメモリに記憶された読み出しデータを第2のメモリに転送する。そしてファイルアクセス処理部は、第2のメモリに記憶された読み出しデータを情報処理装置に送信する。

【0014】

なお記憶ボリウムに記憶されたデータの入出力は、ディスク制御部が記憶ボリウムと通信することにより行う。ディスク制御部と記憶ボリウムとの間の通信は、例えばファイバチャネル規格のFC-A Lによって定められるループを構成する通信路を介して行うようにすることもできる。

【0015】

データ転送装置が第1のメモリと第2のメモリとの間のデータ転送を制御する場合には、データ転送装置は、それぞれのメモリにおけるデータの記憶位置（データの転送元アドレスや転送先アドレス）をレジスタに記憶しておく必要があるが、本発明に係る記憶デバイス制御装置では、上記のように、これらのデータの記憶位置を示す情報を含むデータ転送情報が第1のプロセッサによって第3のメモリに書き込まれる。そしてデータ転送装置が第3のメモリからデータ転送情報を読み出してレジスタに記憶する。このため、第1のプロセッサは、相対的にアクセス時間の長いデータ転送装置のレジスタにではなく、相対的にアクセス時間の短い第3のメモリにデータ転送情報を書き込んだ後、次の処理の実行に移ることができる。これにより第1のプロセッサのアイドル時間（書き込み完了待ち時間）を減らすことができ、第1のプロセッサを効率良く実行させることができる。このため、情報処理装置からのデータ入出力要求に対して、データの読み書きを高速化することができる。

【0016】

このようにデータの読み書きを高速化できることは、情報処理システムで取り扱われるデータ量が増大し、また多数の情報処理装置から次々とオンラインかつリアルタイムにデータ入出力要求が送信されてくるような近年のストレージシステムの使用環境の下では、情報処理システム全体の処理性能の向上に大きく貢献する。

【0017】

その他、本願が開示する課題、及びその解決方法は、発明を実施するための最良の形態の欄、及び図面により明らかにされる。

【発明の効果】

【0018】

記憶デバイス制御装置、及び記憶デバイス制御装置の制御方法を提供することができる。

【発明を実施するための最良の形態】

【0019】

=== 第1の実施の形態 ===

=== 全体構成例 ===

まず、本実施の形態に係る記憶デバイス制御装置100を含むストレージシステム600の全体構成を示すブロック図を図1に示す。

ストレージシステム600は、記憶デバイス制御装置100とディスク駆動装置300とを備えている。記憶デバイス制御装置100は、情報処理装置200から受信したコマンドに従ってディスク駆動装置300に対する制御を行う。例えば情報処理装置200からデータ入出力要求を受信して、ディスク駆動装置300が備える記憶ボリウム310に

記憶されるデータの読み書きを行う。記憶ボリューム310は、例えばハードディスク装置などのディスクドライブにより提供される物理的な記憶領域である物理ボリュームと、物理ボリューム上に論理的に設定される記憶領域である論理ボリュームとを含む、データを記憶するための記憶リソースをいう。以下、記憶ボリューム310又は論理ボリュームをLU (Logical Unit) とも記す。また記憶デバイス制御装置100は、情報処理装置200との間で、ストレージシステム600を管理するための各種コマンドの授受も行う。

情報処理装置200はCPUやメモリを備えたコンピュータ等の情報機器である。情報処理装置200が備えるCPUにより各種プログラムが実行されることにより様々な機能が実現される。情報処理装置200は、例えばパーソナルコンピュータやワークステーションであることもあるし、メインフレームコンピュータであることもある。

#### 【0020】

図1において、情報処理装置1乃至3 (200) は、LAN (Local Area Network) 400を介して記憶デバイス制御装置100と接続されている。LAN400は、インターネットとすることもできるし、専用のネットワークとすることもできる。LAN400を介して行われる情報処理装置1乃至3 (200) と記憶デバイス制御装置100との間の通信は、例えばTCP/IPプロトコルに従って行われる。情報処理装置1乃至3 (200) からは、ストレージシステム600に対して、ファイル名指定によるデータアクセス要求 (ファイル名指定によるデータ入出力要求。以下、ファイルアクセス要求と記す) が送信される。

#### 【0021】

またLAN400にはバックアップデバイス910が接続されている。バックアップデバイス910は具体的にはMO (Magneto-Optical disc) やCD-R (Compact Disc-Recordable)、DVD-RAM (Digital Video Disc-Random Access Memory) などのディスク系デバイス、DAT (Digital Audio Tape) テープ、カセットテープ、オープンテープ、カートリッジテープなどのテープ系デバイスである。バックアップデバイス910は、LAN400を介して記憶デバイス制御装置100との間で通信を行うことにより、ディスク駆動装置300に記憶されているデータのバックアップデータを記憶する。またバックアップデバイス910は情報処理装置1 (200) と接続されるようにすることもできる。この場合は情報処理装置1 (200) を介してディスク駆動装置300に記憶されているデータのバックアップデータを取得するようにする。

#### 【0022】

記憶デバイス制御装置100は、チャンネル制御部1乃至4 (110) を備える。記憶デバイス制御装置100は、チャンネル制御部1乃至4 (110) によりLAN400を介して情報処理装置1乃至3 (200) やバックアップデバイス910との間で通信を行う。チャンネル制御部1乃至4 (110) は、LAN400を通じて情報処理装置1乃至3 (200) から送信されるファイルアクセス要求を個々に受信し、情報処理装置200との間でデータの送受信を行う。すなわち、チャンネル制御部1乃至4 (110) には、個々にLAN400上のネットワークアドレス (例えば、IPアドレス) が割り当てられていてそれぞれが個別にNASとして振る舞い、個々のNASがあたかも独立したNASが存在するかのようにNASとしてのサービスを情報処理装置1乃至3 (200) に提供することができる。以下、チャンネル制御部1乃至4 (110) をCHN110とも記す。このように1台のストレージシステム600に個別にNASとしてのサービスを提供するチャンネル制御部1乃至4 (110) を備えるように構成したことで、従来、独立したコンピュータで個々に運用されていたNASサーバを一台のストレージシステム600に集約することができる。そして、これによりストレージシステム600の統括的な管理が可能となり、各種設定・制御や障害管理、バージョン管理といった保守業務の効率化が図られる。

#### 【0023】

なお、本実施の形態に係る記憶デバイス制御装置100のチャンネル制御部1乃至4 (110) は、後述するように、一体的にユニット化された回路基板180上に形成されたハードウェア及びこのハードウェアにより実行されるオペレーティングシステム (以下、O



Sと記す)やこのOS上で動作するアプリケーションプログラムなどのソフトウェアにより実現される。このように本実施例のストレージシステム600では、従来ハードウェアの一部として実装されてきた機能がソフトウェアにより実現されている。このため、本実施例のストレージシステム600では柔軟性に富んだシステム運用が可能となり、多様で変化の激しいユーザニーズによりきめ細かなサービスを提供することが可能となる。

#### 【0024】

情報処理装置3乃至4(200)はSAN500を介して記憶デバイス制御装置100と接続されている。SAN500は、ディスク駆動装置300が提供する記憶領域におけるデータの管理単位であるブロックを単位として情報処理装置3乃至4(200)との間でデータの授受を行うためのネットワークである。SAN500を介して行われる情報処理装置3乃至4(200)と記憶デバイス制御装置100との間の通信は、一般にファイバチャネルプロトコルに従って行われる。情報処理装置3乃至4(200)からは、ストレージシステム600に対して、ファイバチャネルプロトコルに従ってブロック単位のデータアクセス要求(以下、ブロックアクセス要求と記す)が送信される。

#### 【0025】

SAN500にはSAN対応のバックアップデバイス900が接続されている。SAN対応バックアップデバイス900は、SAN500を介して記憶デバイス制御装置100との間で通信を行うことにより、ディスク駆動装置300に記憶されているデータのバックアップデータを記憶する。

記憶デバイス制御装置100は、チャネル制御部5乃至6(110)を備える。記憶デバイス制御装置100は、チャネル制御部5乃至6(110)によりSAN500を介して情報処理装置3乃至4(200)及びSAN対応バックアップデバイス900との間の通信を行う。以下、チャネル制御部5乃至6(110)をCHFとも記す。

#### 【0026】

また情報処理装置5(200)は、LAN400やSAN500等のネットワークを介さずに記憶デバイス制御装置100と接続されている。情報処理装置5(200)としては例えばメインフレームコンピュータとすることができ、情報処理装置5(200)と記憶デバイス制御装置100との間の通信は、例えばFICON(Fibre Connection)(登録商標)やESCON(Enterprise System Connection)(登録商標)、ACONARC(Advanced Connection Architecture)(登録商標)、FIBARC(Fibre Connection Architecture)(登録商標)などの通信プロトコルに従って行われる。情報処理装置5(200)からは、ストレージシステム600に対して、これらの通信プロトコルに従ってブロックアクセス要求が送信される。

記憶デバイス制御装置100は、チャネル制御部7乃至8(110)により情報処理装置5(200)との間で通信を行う。以下、チャネル制御部7乃至8(110)をCHAとも記す。

#### 【0027】

SAN500には、災害発生時のデータ保護等のために、ストレージシステム600の設置場所(プライマリサイト)とは遠隔した場所(セカンダリサイト)に設置される他のストレージシステム610が接続している。ストレージシステム610は、レプリケーション又はリモートコピーの機能におけるデータの複製先の装置として利用される。なお、ストレージシステム610はSAN500以外にもATMなどの通信回線によりストレージシステム600に接続していることもある。この場合には例えばチャネル制御部110として上記通信回線を利用するためのインタフェース(チャネルエクステンダ)を備えるチャネル制御部110が採用される。

#### 【0028】

このように本実施例に係るストレージシステム600では、ストレージシステム600内にCHN110、CHF110、CHA110を混在させて装着させることができる。これにより、異種ネットワークに接続されるストレージシステムを実現できる。具体的には、ストレージシステム600は、CHN110を用いてLAN140に接続し、かつC



H F 1 1 0 を用いて S A N 5 0 0 に接続するという、S A N - N A S 統合ストレージシステムである。

#### 【0029】

=== 記憶ボリウム ===

ディスク駆動装置 3 0 0 は多数のディスクドライブを備えている。これにより情報処理装置 2 0 0 に対して大容量の記憶領域を提供する。ディスク駆動装置 3 0 0 は例えば複数のディスクドライブによりディスクアレイを構成するようにすることもできる。この場合、情報処理装置 2 0 0 に対して提供される記憶領域は、R A I D により管理された複数のディスクドライブにより提供されるようにすることもできる。

#### 【0030】

記憶デバイス制御装置 1 0 0 とディスク駆動装置 3 0 0 との間は図 1 のように直接に接続される形態とすることもできるし、ネットワークを介して接続されるようにすることもできる。さらにディスク駆動装置 3 0 0 は記憶デバイス制御装置 1 0 0 と一体として構成されることもできる。

#### 【0031】

ディスク駆動装置 3 0 0 が備える L U 3 1 0 には、情報処理装置 2 0 0 からアクセス可能なユーザ L U 3 1 0 や、チャンネル制御部 1 1 0 の制御のために使用されるシステム L U 3 1 0 等がある。システム L U 3 1 0 には C H N 1 1 0 で実行されるオペレーティングシステムも格納される。

#### 【0032】

=== 記憶デバイス制御装置 ===

記憶デバイス制御装置 1 0 0 はチャンネル制御部 1 1 0、共有メモリ 1 2 0、キャッシュメモリ（第 1 のメモリ）1 3 0、ディスク制御部 1 4 0、管理端末 1 6 0、接続部 1 5 0 を備える。

#### 【0033】

チャンネル制御部 1 1 0 は情報処理装置 2 0 0 との間で通信を行うための通信インタフェースを備え、情報処理装置 2 0 0 との間でデータ入出力コマンド等を授受する機能を備える。例えば C H N 1 1 0 は情報処理装置 1 乃至 3（2 0 0）からのファイルアクセス要求を受信する。そしてファイルの記憶アドレスやデータ長等を求めて、ファイルアクセス要求に対応する I/O 要求を出力することにより、ディスク駆動装置 3 0 0 へのアクセスを行う。これによりストレージシステム 6 0 0 は N A S としてのサービスを情報処理装置 1 乃至 3（2 0 0）に提供することができる。なお I/O 要求にはデータの先頭アドレス、データ長、読み出し又は書き込み等のアクセスの種別が含まれている。またデータの書き込みの場合には I/O 要求には書き込みデータが含まれるようにすることもできる。I/O 要求の出力は、後述するプロセッサ 1（第 1 のプロセッサ）1 1 9 により行われる。また C H F 1 1 0 は情報処理装置 3 乃至 4（2 0 0）からのファイバチャンネルプロトコルに従ったブロックアクセス要求を受け付ける。これによりストレージシステム 6 0 0 は高速アクセス可能なデータ記憶サービスを情報処理装置 3 乃至 4（2 0 0）に対して提供することができる。また C H A 1 1 0 は情報処理装置 5（2 0 0）からの F I C O N や E S C O N、A C O N A R C、F I B A R C 等のプロトコルに従ったブロックアクセス要求を受け付ける。これによりストレージシステム 6 0 0 は情報処理装置 5（2 0 0）のようなメインフレームコンピュータに対してもデータ記憶サービスを提供することができる。

#### 【0034】

各チャンネル制御部 1 1 0 は管理端末 1 6 0 と共に内部 L A N 1 5 1 で接続されている。これによりチャンネル制御部 1 1 0 やディスク制御部 1 4 0 に実行させるマイクロプログラム等を管理端末 1 6 0 から送信しインストールすることが可能となっている。チャンネル制御部 1 1 0 の構成については後述する。

#### 【0035】

接続部 1 5 0 はチャンネル制御部 1 1 0、共有メモリ 1 2 0、キャッシュメモリ 1 3 0、ディスク制御部 1 4 0 を相互に接続する。チャンネル制御部 1 1 0、共有メモリ 1 2 0、キ

キャッシュメモリ 130、ディスク制御部 140 間でのデータやコマンドの授受は接続部 150 を介することにより行われる。接続部 150 は例えばクロスバスイッチで構成される。接続部 150 によりチャネル制御部 110 同士が相互に接続されることで、個々のコンピュータ上で動作する NAS サーバが LAN 400 を通じて相互に接続される構成に比べて、チャネル制御部 110 間の通信パフォーマンスが大幅に向上する。またこれにより高速なファイル共有機能や高速なフェイルオーバーなどが可能となる。

#### 【0036】

共有メモリ 120 及びキャッシュメモリ 130 は、チャネル制御部 110、ディスク制御部 140 により共有される記憶メモリである。共有メモリ 120 は主に制御情報やコマンド等を記憶するために利用されるのに対し、キャッシュメモリ 130 は主にデータを記憶するために利用される。

例えば、あるチャネル制御部 110 が情報処理装置 200 から受信したデータ入出力コマンドが書き込みコマンドであった場合には、当該チャネル制御部 110 は書き込みコマンドを共有メモリ 120 に書き込むと共に、情報処理装置 200 から受信した書き込みデータをキャッシュメモリ 130 に書き込む。一方、ディスク制御部 140 は共有メモリ 120 を監視しており、共有メモリ 120 に書き込みコマンドが書き込まれたことを検出すると、当該コマンドに従ってキャッシュメモリ 130 から書き込みデータを読み出してディスク駆動装置 300 に書き込む。

#### 【0037】

またあるチャネル制御部 110 が情報処理装置 200 から受信したデータ入出力コマンドが読み出しコマンドであった場合には、読み出し対象となるデータがキャッシュメモリ 130 に存在するかどうかを調べる。ここでキャッシュメモリ 130 に存在すれば、チャネル制御部 110 はそのデータを情報処理装置 200 に送信する。一方、読みだし対象となるデータがキャッシュメモリ 130 に存在しない場合には、当該チャネル制御部 110 は読み出しコマンドを共有メモリ 120 に書き込むと共に、共有メモリ 120 を監視する。読み出しコマンドが共有メモリ 120 に書き込まれたことを検出したディスク制御部 140 は、ディスク駆動装置 300 から読みだし対象となるデータを読み出してこれをキャッシュメモリ 130 に書き込むと共に、その旨を共有メモリ 120 に書き込む。そして、チャネル制御部 110 は読みだし対象となるデータがキャッシュメモリ 130 に書き込まれたことを検出すると、そのデータを情報処理装置 200 に送信する。

このようにチャネル制御部 110 及びディスク制御部 140 の間では、キャッシュメモリ 130 を介してデータの授受が行われる。

#### 【0038】

なお、チャネル制御部 110 からディスク制御部 140 に対するデータの書き込みや読み出しの指示を共有メモリ 120 を介在させて間接的に行う構成の他、例えばチャネル制御部 110 からディスク制御部 140 に対してデータの書き込みや読み出しの指示を共有メモリ 120 を介さずに直接に行う構成とすることもできる。

また、チャネル制御部 110 にディスク制御部 140 の機能を持たせることにより、チャネル制御部 110 がディスク駆動装置 300 に記憶されたデータの読み書きを行うようにすることもできる。

#### 【0039】

ディスク制御部 140 はディスク駆動装置 300 の制御を行う。例えば上述のように、チャネル制御部 110 が情報処理装置 200 から受信したデータ書き込みコマンドに従ってディスク駆動装置 300 へデータの書き込みを行う。またディスク制御部 140 は、チャネル制御部 110 から送信された論理アドレス指定による LU 310 への I/O 要求を、物理アドレス指定による物理ディスクへの I/O 要求に変換する。さらにディスク駆動装置 300 における物理ディスクが RAID により管理されている場合には、RAID 構成に従ったデータのアクセスを行う。またディスク制御部 140 は、ディスク駆動装置 300 に記憶されたデータの複製管理の制御やバックアップ制御を行う。さらにディスク制御部 140 は、災害発生時のデータ消失防止（ディザスタリカバリ）などを目的としてブ

ライマリサイトのストレージシステム 600 のデータの複製をセカンダリサイトに設置された他のストレージシステム 610 にも記憶する制御（レプリケーション機能、又はリモートコピー機能）なども行う。

#### 【0040】

各ディスク制御部 140 は管理端末 160 と共に内部 LAN 151 で接続されており、相互に通信を行うことが可能である。これにより、ディスク制御部 140 に実行させるマイクロプログラム等を管理端末 160 から送信しインストールすることが可能となっている。ディスク制御部 140 の構成については後述する。

#### 【0041】

本実施例においては、共有メモリ 120 及びキャッシュメモリ 130 がチャンネル制御部 110 及びディスク制御部 140 に対して独立に設けられていることについて記載したが、本実施例はこの場合に限られるものでなく、共有メモリ 120 又はキャッシュメモリ 130 がチャンネル制御部 110 及びディスク制御部 140 の各々に分散されて設けられることも好ましい。この場合、接続部 150 は、分散された共有メモリ 120 又はキャッシュメモリ 130 を有するチャンネル制御部 110 及びディスク制御部 140 を相互に接続させることになる。

#### 【0042】

===管理端末===

管理端末 160 はストレージシステム 600 を保守・管理するためのコンピュータである。管理端末 160 を操作することにより、例えばディスク駆動装置 300 内の物理ディスク構成の設定や、LU 310 の設定、チャンネル制御部 110 やディスク制御部 140 において実行されるマイクロプログラムのインストール等を行うことができる。ここで、ディスク駆動装置 300 内の物理ディスク構成の設定としては、例えば物理ディスクの増設や減設、RAID 構成の変更（RAID 1 から RAID 5 への変更等）等を行うことができる。さらに管理端末 160 からは、ストレージシステム 600 の動作状態の確認や故障部位の特定、チャンネル制御部 110 で実行されるオペレーティングシステムのインストール等の作業を行うこともできる。これらの設定や制御は、管理端末 160 で動作する Web サーバが提供する Web ページをユーザインタフェースとしてオペレータなどにより行われる。オペレータ等は、管理端末 160 を操作して障害監視する対象や内容の設定、障害通知先の設定などを行うこともできる。

#### 【0043】

管理端末 160 は記憶デバイス制御装置 100 に内蔵されている形態とすることもできるし、外付けされている形態とすることもできる。また管理端末 160 は、記憶デバイス制御装置 100 及びディスク駆動装置 300 の保守・管理を専用に行うコンピュータとすることもできるし、汎用のコンピュータに保守・管理機能を持たせたものとすることもできる。

#### 【0044】

管理端末 160 の構成を示すブロック図を図 4 に示す。

管理端末 160 は、CPU 161、メモリ 162、ポート 163、記録媒体読取装置 164、入力装置 165、出力装置 166、記憶装置 168 を備える。

#### 【0045】

CPU 161 は管理端末 160 の全体の制御を司るもので、メモリ 162 に格納されたプログラム 162c を実行することにより上記 Web サーバとしての機能等を実現する。メモリ 162 には、物理ディスク管理テーブル 162a と LU 管理テーブル 162b とプログラム 162c とが記憶されている。

#### 【0046】

物理ディスク管理テーブル 162a は、ディスク駆動装置 300 に備えられる物理ディスク（ディスクドライブ）を管理するためのテーブルである。物理ディスク管理テーブル 162a を図 5 に示す。図 5 においては、ディスク駆動装置 300 が備える多数の物理ディスクのうち、ディスク番号 #001 乃至 #006 ままでが示されている。それぞれの物理

ディスクに対して、容量、RAID構成、使用状況が示されている。

LU管理テーブル162bは、上記物理ディスク上に論理的に設定される論理ボリューム310を管理するためのテーブルである。LU管理テーブル162bを図6に示す。図6においては、ディスク駆動装置300上に設定される多数のLU310のうち、LU番号#1乃至#3までが示されている。それぞれのLU310に対して、物理ディスク番号、容量、RAID構成が示されている。

#### 【0047】

記録媒体読取装置164は、記録媒体167に記録されているプログラムやデータを読み取るための装置である。読み取られたプログラムやデータはメモリ162や記憶装置168に格納される。従って、例えば記録媒体167に記録されたプログラム162cを、記録媒体読取装置164を用いて上記記録媒体167から読み取って、メモリ162や記憶装置168に格納するようにすることができる。記録媒体167としてはフレキシブルディスクやCD-ROM、半導体メモリ等を用いることができる。記録媒体読取装置164は管理端末160に内蔵されている形態とすることもできるし、外付されている形態とすることもできる。記憶装置168は、例えばハードディスク装置や半導体記憶装置等である。入力装置165はオペレータ等による管理端末160へのデータ入力等のために用いられる。入力装置165としては例えばキーボードやマウス等が用いられる。出力装置166は情報を外部に出力するための装置である。出力装置166としては例えばディスプレイやプリンタ等が用いられる。ポート163は内部LAN151に接続されており、これにより管理端末160はチャンネル制御部110やディスク制御部140等と通信を行うことができる。またポート163は、LAN400に接続するようにすることもできるし、電話回線とも接続するようにすることもできる。

#### 【0048】

===外観図===

次に、本実施の形態に係るストレージシステム600の外観構成を図2に示す。また、記憶デバイス制御装置100の外観構成を図3に示す。

図2に示すように、本実施の形態に係るストレージシステム600は記憶デバイス制御装置100及びディスク駆動装置300がそれぞれの筐体に納められた形態をしている。記憶デバイス制御装置100の筐体の両側にディスク駆動装置300の筐体が配置されている。

#### 【0049】

記憶デバイス制御装置100は、正面中央部に管理端末160が備えられている。管理端末160はカバーで覆われており、図3に示すようにカバーを開けることにより管理端末160を使用することができる。なお図3に示した管理端末160はいわゆるノート型パーソナルコンピュータの形態をしているが、どのような形態とすることも可能である。

#### 【0050】

管理端末160の下部には、チャンネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、接続部150を装着するためのスロットが設けられている。チャンネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、接続部150は回路基板を備えてボードとして構成されており、これらのボードが各スロットに装着される。各スロットにはこれらのボードを装着するためのガイドレールが設けられている。ガイドレールに沿って各ボードをスロットに挿入することにより、チャンネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、接続部150を記憶デバイス制御装置100に装着することができる。また各スロットに装着されたボードは、ガイドレールに沿って手前方向に引き抜くことにより取り外すことができる。また各スロットの奥手方向正面部には、各ボードを記憶デバイス制御装置100と電氣的に接続するためのコネクタが設けられている。チャンネル制御部110には、CHN110、CHF110、CHA110があるが、いずれのチャンネル制御部110もサイズやコネクタの位置、コネクタのピン配列等に互換性をもたせているため、いずれのチャンネル制御部110も同一のスロットに装着することが可能である。

## 【0051】

スロットに装着された複数のチャネル制御部110は、同種の複数のチャネル制御部110でクラスタ180を構成する。例えば2枚のCHN110をペアとしてクラスタ180を構成することができる。クラスタ180を構成することにより、チャネル制御部110に障害が発生した場合でも、障害が発生したチャネル制御部110がそれまで行っていた処理を同一クラスタ180内の他のチャネル制御部110に引き継ぐようにすることができる（フェイルオーバー制御）。2枚のCHN110でクラスタ180が構成される様子を示す図を図12に示す。

## 【0052】

なお、上述したように、チャネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、接続部150は上記各スロットに装着可能なボードとして構成されるが、ボードは複数枚数の回路基板を備えて構成されているようにすることもできる。つまり、複数枚数の回路基板から構成されていても、各回路基板が相互に接続されて一つのユニットとして構成され、記憶デバイス制御装置100のスロットに対して一体的に装着できる場合は、ボードの概念に含まれる。

また記憶デバイス制御装置100には、チャネル制御部110等から発生する熱を放出するためのファン170が設けられている。ファン170は記憶デバイス制御装置100の上面部に設けられる他、スロットの上部にも設けられている。

## 【0053】

ところで、記憶デバイス制御装置100およびディスク駆動装置300としては、例えばSAN対応として製品化されている従来構成の装置を利用することができる。特に上記のようにCHN110のコネクタをCHA110やCHF110のコネクタと互換性を持たせ、従来構成の筐体に設けられているスロットにそのまま装着できるようにすることで従来構成の装置をより簡単に利用することができる。つまり本実施例のストレージシステム600は、既存の製品を利用することで容易に構築することができる。

## 【0054】

===チャネル制御部===

本実施の形態に係るストレージシステム600は、上述の通りCHN110により情報処理装置1乃至3（200）からのファイルアクセス要求を受け付け、NASとしてのサービスを情報処理装置1乃至3（200）に提供する。

## 【0055】

CHN110のハードウェア構成を図7に示す。この図に示すようにCHN110のハードウェアは回路基板118を備えた一つのユニット化されたボードとして構成される。CHN110は一枚もしくは複数枚の回路基板118を含んで構成される。回路基板118には、プロセッサ1（119）、プロセッサ2（第2のプロセッサ）112、DMA（データ転送装置）114、メモリ1（第3のメモリ）117、メモリ2（第2のメモリ）113、メモリコントローラ1（111）、メモリコントローラ2（111）、及びコネクタ116が形成されている。プロセッサ1（119）、プロセッサ2（第2のプロセッサ）112、DMA（データ転送装置）114、メモリコントローラ1（111）、及びメモリコントローラ2（111）はそれぞれPCI（Peripheral Component Interconnect）バスで通信可能に接続されている。ただし、必ずしも全てがPCIバスで接続されている必要はなく、一部又は全ての接続が他の規格に準拠する構成とすることもできる。

## 【0056】

プロセッサ2（112）、メモリ2（113）及びメモリコントローラ2（111）は、情報処理装置200との間で通信を行うための通信インタフェース機能を提供し、ファイルアクセス処理部として機能する。CHN110の場合は、例えばTCP/IPプロトコルに従って情報処理装置200から送信されたファイルアクセス要求の受信や、データの送受信の制御を行う。メモリコントローラ2（111）と接続されるコネクタ116は情報処理装置200と通信を行うためのコネクタである。

プロセッサ2（112）は、メモリ2（113）に記憶された様々なプログラムを実行

することにより、CHN110をNASとして機能させるための制御を司る。

【0057】

メモリ2(113)には様々なプログラムやデータが記憶される。例えば情報処理装置200との間で授受されるデータが記憶される。また図9に示すメタデータ730やロックテーブル720、また図11に示すNASマネージャ706等の各種プログラムが記憶される。メタデータ730はファイルシステムが管理しているファイルに対応させて生成される情報である。メタデータ730には例えばファイルのデータが記憶されているLU310上のアドレスやデータサイズなど、ファイルの保管場所を特定するための情報が含まれる。メタデータ730にはファイルの容量、所有者、更新時刻等の情報が含まれることもある。また、メタデータ730はファイルだけでなくディレクトリに対応させて生成されることもある。メタデータ730の例を図13に示す。メタデータ730はディスク駆動装置300上の各LU310にも記憶されている。

【0058】

ロックテーブル720は、情報処理装置1乃至3(200)からのファイルアクセスに対して排他制御を行うためのテーブルである。排他制御を行うことにより情報処理装置1乃至3(200)でファイルを共有することができる。ロックテーブル720を図14に示す。図14に示すようにロックテーブル720にはファイルロックテーブル721とLUロックテーブル722とがある。ファイルロックテーブル721は、ファイル毎にロックが掛けられているか否かを示すためのテーブルである。いずれかの情報処理装置200によりあるファイルがオープンされている場合に当該ファイルにロックが掛けられる。ロックが掛けられたファイルに対する他の情報処理装置200によるアクセスは禁止される。LUロックテーブル722は、LU310毎にロックが掛けられているか否かを示すためのテーブルである。いずれかの情報処理装置200により、あるLU310に対するアクセスが行われている場合に当該LU310にロックが掛けられる。ロックが掛けられたLU310に対する他の情報処理装置200によるアクセスは禁止される。

なお、メモリ2(113)に記憶されるデータの記憶アドレス(記憶位置)は、プロセッサ2(112)により管理される。

【0059】

プロセッサ1(119)、メモリ1(117)、DMA114、及びメモリコントローラ1(111)は、ディスク制御部140やキャッシュメモリ130、共有メモリ120、管理端末160との間でデータやコマンドの授受を行う。プロセッサ1(119)は、メモリ2(113)に記憶されたデータのキャッシュメモリ130への転送や、キャッシュメモリ130に記憶されたデータのメモリ2(113)への転送をDMA114に実行させる。すなわちメモリ2(113)とキャッシュメモリ130との間のデータの転送はDMA114により行われる。

【0060】

プロセッサ1(119)は、プロセッサ2(112)が情報処理装置200から受信したファイルアクセス要求に対応するブロックアクセス要求を、共有メモリ120を介してディスク制御部140に出力する。またプロセッサ1(119)はキャッシュメモリ130に記憶されるデータの記憶アドレス(記憶位置)、及びメモリ1(117)に記憶されるデータの記憶アドレス(記憶位置)を管理している。

キャッシュメモリ130とメモリ2(113)との間で行われるデータ転送の詳細については、後述する。

【0061】

次にCHF110及びCHA110のハードウェア構成を示す図を図8に示す。CHF110及びCHA110も、CHN110と同様に回路基板118を備えた一つのユニット化されたボードとして構成される。CHN110と同様、CHA110やCHF110は、複数枚数の回路基板を含んで構成されるようにすることもできる。またCHF110及びCHA110は、CHN110とサイズやコネクタ116の位置、コネクタ116のピン配列等に互換性をもたせている。

## 【0062】

CHF110及びCHA110の回路基板118には、プロセッサ1(119)、プロトコルチップ115、DMA114、メモリ1(117)、メモリ2(113)、メモリコントローラ1(111)、メモリコントローラ2(111)、コネクタ116が形成されている。プロセッサ1(119)、プロトコルチップ115、DMA114、メモリコントローラ1(111)、及びメモリコントローラ2(111)はそれぞれPCI(Peripheral Component Interconnect)バスで通信可能に接続されている。ただし、必ずしも全てがPCIバスで接続されている必要はなく、一部又は全ての接続が他の規格に準拠する構成とすることもできる。

## 【0063】

プロトコルチップ115、メモリ2(113)及びメモリコントローラ2(111)は、情報処理装置200との間で通信を行うための通信インタフェース機能を提供する。CHF110の場合は、例えばファイバチャネルプロトコルに従って情報処理装置200から送信されたブロックアクセス要求を受信する。CHA110の場合は、例えばFICON(登録商標)やESCON(登録商標)、ACONARC(登録商標)、FIBARC(登録商標)等のプロトコルに従って情報処理装置200から送信されたブロックアクセス要求を受信する。メモリコントローラ2(111)に接続されるコネクタ116は情報処理装置200と通信を行うためのコネクタである。CHF110の場合はSAN500に接続可能なコネクタであり、例えばファイバチャネルに対応している。CHA110の場合は情報処理装置5と接続可能なコネクタであり、FICON(登録商標)やESCON(登録商標)、ACONARC(登録商標)、FIBARC(登録商標)等に対応している。

## 【0064】

メモリ2(113)には例えば情報処理装置200との間で授受されるデータが記憶される。CHF110やCHA110の場合は、メモリ2(113)に記憶されるデータの記憶アドレス(記憶位置)は、プロセッサ1(119)により管理される。

プロセッサ1(119)、メモリ1(117)、DMA114、及びメモリコントローラ1(111)は、ディスク制御部140やキャッシュメモリ130、共有メモリ120、管理端末160との間でデータやコマンドの授受を行う。プロセッサ1(119)は、メモリ2(113)に記憶されたデータのキャッシュメモリ130への送信や、キャッシュメモリ130に記憶されたデータのメモリ2(113)への送信をDMA114に実行させる。すなわちメモリ2(113)とキャッシュメモリ130との間のデータの転送はDMA114により行われる。

プロセッサ1(119)は、情報処理装置200から受信したブロックアクセス要求を、共有メモリ120を介してディスク制御部140に出力する。またプロセッサ1(119)はキャッシュメモリ130に記憶されるデータの記憶アドレス(記憶位置)、及びメモリ1(117)に記憶されるデータの記憶アドレス(記憶位置)を管理している。つまり、CHA110やCHF110の場合は、メモリ2(113)とキャッシュメモリ130との間のデータの転送は、プロセッサ1(119)により管理されるキャッシュメモリ130及びメモリ2(113)のデータの記憶位置に基づいて行われる。

## 【0065】

===ディスク制御部===

次にディスク制御部140の構成を示す図を図10に示す。

ディスク制御部140は、インタフェース部141、メモリ143、CPU142、NVRAM(nonvolatile random-access memory)144、コネクタ145を備え、これらが一体的なユニットとして形成されている。

## 【0066】

インタフェース部141は、接続部150を介してチャネル制御部110等との間で通信を行うための通信インタフェースや、ディスク駆動装置300との間で通信を行うための通信インタフェースを備えている。



CPU142は、ディスク制御部140全体の制御を司ると共に、チャンネル制御部110やディスク駆動装置300、管理端末160との間の通信を行う。CPU142によりメモリ143やNVRAM144に格納された各種プログラムが実行されることにより本実施の形態に係るディスク制御部140の機能が実現される。ディスク制御部140により実現される機能としては、ディスク駆動装置300の制御やRAID制御、ディスク駆動装置300に記憶されたデータの複製管理やバックアップ制御、リモートコピー制御等である。

NVRAM144はCPU142の制御を司るプログラムを格納する不揮発性メモリである。NVRAM144に記憶されるプログラムの内容は、管理端末160や、NASマネージャ706からの指示により書き込みや書き換えを行うことができる。

またディスク制御部140はコネクタ145を備えている。コネクタ145が記憶デバイス制御装置100側のコネクタと嵌合することにより、ディスク制御部140は記憶デバイス制御装置100と電氣的に接続される。

#### 【0067】

===ソフトウェア構成===

次に、本実施の形態に係るストレージシステム600におけるソフトウェア構成図を図11に示す。

オペレーティングシステム701上では、RAIDマネージャ708、ボリュームマネージャ707、SVP (Service Processor) マネージャ709、ファイルシステムプログラム703、ネットワーク制御プログラム702、バックアップ管理プログラム710、障害管理プログラム705、NASマネージャ706などのソフトウェアが動作する。

#### 【0068】

オペレーティングシステム701上で動作するRAIDマネージャ708は、ディスク制御部140で実行されるRAID制御部740に対するパラメータの設定やRAID制御部740を制御する機能を提供する。RAIDマネージャ708はオペレーティングシステム701やオペレーティングシステム701上で動作する他のアプリケーション、もしくは管理端末160からパラメータや制御指示情報を受け付けて、受け付けたパラメータのRAID制御部740への設定や、RAID制御部指示情報に対応する制御コマンドの送信を行う。

#### 【0069】

ボリュームマネージャ707は、RAID制御部740によって提供されるLU310をさらに仮想化した仮想化論理ボリュームをファイルシステムプログラム703に提供する。1つの仮想化論理ボリュームは1以上の論理ボリュームによって構成される。

ファイルシステムプログラム703の主な機能は、ネットワーク制御プログラム702が受信したファイルアクセス要求に指定されているファイル名とそのファイル名が格納されている仮想化論理ボリューム上のアドレスとの対応づけを管理することである。例えば、ファイルシステムプログラム703はファイルアクセス要求に指定されているファイル名に対応する仮想化論理ボリューム上のアドレスを特定する。

ネットワーク制御プログラム702は、NFS (Network File System) 711とSamba 712の2つのファイルシステムプロトコルを含んで構成される。NFS 711は、NFS 711が動作するUNIX (登録商標) 系の情報処理装置200からのファイルアクセス要求を受け付ける。一方、Samba 712はCIFS (Common Interface File System) 713が動作するWindows (登録商標) 系の情報処理装置200からのファイルアクセス要求を受け付ける。

#### 【0070】

NASマネージャ706は、ストレージシステム600について、その動作状態の確認や設定などを行うためのプログラムである。NASマネージャ706はWebサーバとしての機能も有し、情報処理装置200からストレージシステム600の設定や制御を行うためのWebページを情報処理装置200に提供する。そしてNASマネージャ706は、Webページに対する操作に起因して情報処理装置200から送信される設定や制御に



関するデータを受信してそのデータに対応する設定や制御を実行する。これにより、情報処理装置 1 乃至 3 (200) からストレージシステム 600 の様々な設定や制御を行うことができる。

#### 【0071】

バックアップ管理プログラム 710 は、ディスク駆動装置 300 に記憶されているデータを LAN 400 経由または SAN 500 経由でバックアップするためのプログラムである。

障害管理プログラム 705 は、クラスタ 180 を構成するチャネル制御部 110 間で、上述したフェイルオーバー制御を行うためのプログラムである。

SVP マネージャ 709 は、管理端末 160 からの要求に応じて各種のサービスを管理端末 160 に提供する。例えば、LU 310 の設定内容や RAID の設定内容等のストレージシステム 600 に関する各種設定内容の管理端末 160 への提供や、管理端末 160 から入力されたストレージシステム 600 に関する各種設定の反映等を行う。

セキュリティ管理プログラム 716 は、コンピュータウイルスの検知、侵入監視、コンピュータウイルス検知プログラムの更新管理、感染したコンピュータウイルスの駆除、ファイアウォール機能などを実現する。

#### 【0072】

=== DMA によるデータ転送 ===

次に、本実施の形態に係る CHN 110 におけるメモリ 2 (113) とキャッシュメモリ 130 との間のデータ転送について説明する。

メモリ 2 は、図 16 に示すように、データ領域とスクリプト領域とを有する。データ領域には、キャッシュメモリ 130 に転送されるデータ、あるいはキャッシュメモリ 130 から転送されたデータが記憶される。データ領域に記憶されるこれらの各データの記憶位置や、各データの記憶領域のサイズ (エリア長) 等は、各データに対応してプロセッサ 2 用スクリプト (第 2 のデータ転送情報) としてメモリ 2 (113) のスクリプト領域に記憶される。プロセッサ 2 用スクリプトは、「スクリプト識別子」、「領域先頭アドレス」、「エリア長」、「連続 Flag」の各欄を備える。「スクリプト識別子」は、プロセッサ 2 用スクリプト毎に付される識別番号を示す。「領域先頭アドレス」は、データ領域に記憶されるデータの記憶アドレスを示す。「エリア長」はデータの記憶領域のサイズを示す。「連続 Flag」は、データ領域に記憶される複数のデータをひとまとまりとして転送したい場合に設定されるフラグである。メモリ 2 (113) に記憶されるこれらのプロセッサ 2 用スクリプトは、プロセッサ 2 (112) により設定され、メモリ 2 (113) のスクリプト領域に書き込まれる。

#### 【0073】

一方、図 18 に示すように、キャッシュメモリ 130 のデータ領域には、メモリ 2 (113) に転送されるデータ、あるいはメモリ 2 (113) から転送されたデータが記憶される。データ領域に記憶されるこれらの各データの記憶位置や、各データの記憶領域のサイズ (エリア長) 等は、図 17 に示すように、各データに対応してプロセッサ 1 用スクリプト (第 1 のデータ転送情報) としてメモリ 1 (117) のスクリプト領域に記憶される。プロセッサ 1 用スクリプトは、「スクリプト識別子」、「領域先頭アドレス」、「エリア長」、「連続 Flag」の各欄を備える。これらの各欄の意味は、メモリ 2 (113) におけるプロセッサ 2 用スクリプトと同様である。メモリ 1 (117) に記憶されるこれらのプロセッサ 1 用スクリプトは、プロセッサ 1 (119) により設定され、メモリ 1 (117) のスクリプト領域に書き込まれる。

#### 【0074】

次に、これらの各スクリプトに基づいてメモリ 2 (113) とキャッシュメモリ 130 との間のデータ転送を制御する DMA 114 の構成について、図 15 を参照しながら説明する。

DMA 114 は、DMA 制御部 801、PCI インタフェース 802、転送起動レジスタ 803、転送レジスタ 804、初期設定レジスタ 805、スクリプトレジスタ 806 を

備える。

DMA制御部801はDMA114全体の制御を司る。例えば上記スクリプトの読み込みや、データの転送制御、終了ステータス（データの転送の結果）の出力等を行う。DMA制御部801は、ハードウェアのみで構成されるようにすることもできるし、ハードウェアとソフトウェアとの組み合わせにより構成されるようにすることもできる。

PCIインタフェース802は、PCIバスを介してメモリコントローラ111等と通信を行うための通信インタフェースである。ただし、DMA114とメモリコントローラ111等との接続がPCI以外の他の規格に準拠している構成の場合には、PCIインタフェース802は、それぞれの規格に準拠する通信インタフェースとすることができる。

転送起動レジスタ803は、「要求転送長」、「転送方向」、「プロセッサ2開始スクリプト番号」、「プロセッサ1開始スクリプト番号」の各レジスタを備える。

#### 【0075】

「要求転送長」レジスタは、メモリ2（113）とキャッシュメモリ130との間で転送されるデータの総データ長が記載される。要求転送長は、情報処理装置200から受信したファイルアクセス要求に基づいて決定される。例えばプロセッサ2（112）が情報処理装置200から8キロバイト（kB）のデータの書き込み要求を受信した場合には、「要求転送長」レジスタには8kBが記憶される。詳細は後述するが、要求転送長は、ファイルアクセス要求を受信するプロセッサ2（112）から一旦プロセッサ1（119）に送信され、プロセッサ1（119）がDMA114にデータの転送を開始させる際に、プロセッサ1（119）によりDMA114の転送起動レジスタ803に書き込まれる。

#### 【0076】

「転送方向」レジスタは、メモリ2（113）からキャッシュメモリ130への転送であるか、キャッシュメモリ130からメモリ2（113）への転送であるかが記載される。転送方向は、プロセッサ2（112）が情報処理装置200から受信したファイルアクセス要求に基づいて決定される。例えば、プロセッサ2（112）が情報処理装置200からデータの書き込み要求を受信した場合には、転送方向はメモリ2（113）からキャッシュメモリ130となる。また、プロセッサ2（112）が情報処理装置200からデータの読み出し要求を受信した場合には、転送方向はキャッシュメモリ130からメモリ2（113）となる。詳細は後述するが、転送方向は、要求転送長と同様に、ファイルアクセス要求を受信するプロセッサ2（112）から一旦プロセッサ1（119）に送信され、プロセッサ1（119）がDMA114にデータの転送を開始させる際に、プロセッサ1（119）によりDMA114の転送起動レジスタ803に書き込まれる。

#### 【0077】

「プロセッサ2開始スクリプト番号」レジスタには、メモリ2（113）に記憶されたプロセッサ2用スクリプトの識別子が記載される。DMA制御部801は、「プロセッサ2開始スクリプト番号」レジスタに記憶されたプロセッサ2用スクリプトをメモリ2（113）から読み出して、データの転送を開始する。プロセッサ2開始スクリプト番号は、メモリ2（113）を制御するプロセッサ2（112）から一旦プロセッサ1（119）に送信され、プロセッサ1（119）がDMA114にデータの転送を開始させる際に、プロセッサ1（119）によりDMA114の転送起動レジスタ803に書き込まれる。あるいは、プロセッサ2用スクリプトに連続Flagが設定されている場合には、DMA制御部801により、プロセッサ2開始スクリプト番号が更新される。

#### 【0078】

「プロセッサ1開始スクリプト番号」には、メモリ1（117）に記憶されたプロセッサ1用スクリプトの識別子が記載される。DMA制御部801は、「プロセッサ1開始スクリプト番号」レジスタに記憶されたプロセッサ1用スクリプトをメモリ1（117）から読み出して、データの転送を開始する。プロセッサ1開始スクリプト番号は、キャッシュメモリ130を制御するプロセッサ1（112）がDMA114にデータの転送を開始させる際に、プロセッサ1（119）によりDMA114の転送起動レジスタ803に書

き込まれる。あるいは、プロセッサ1用スクリプトに連続Flagが設定されている場合には、DMA制御部801により、プロセッサ1開始スクリプト番号が更新される。

#### 【0079】

転送レジスタ804は、「転送単位」、「転送元アドレス」、「転送先アドレス」、「残転送長」の各レジスタを備える。

「転送単位」レジスタには1回のデータ転送におけるデータ転送長が記載される。1回のデータ転送におけるデータ転送長は、DMA制御部801により算出される。詳細は後述するが、転送単位は図22に示すフローに従ってDMA制御部801により決定される。

「転送元アドレス」レジスタは、転送前のデータの記憶位置を示す。転送元アドレスは、転送方向と、プロセッサ1用スクリプトあるいはプロセッサ2用スクリプトとの記載に基づいて決定される。データの転送中は、転送の進捗と共にDMA制御部801によって「転送元アドレス」レジスタの値が適宜インクリメント、あるいはデクリメントされる。

「転送先アドレス」レジスタは、転送後のデータの記憶位置を示す。転送先アドレスは、転送方向と、プロセッサ1用スクリプトあるいはプロセッサ2用スクリプトとの記載に基づいて決定される。データの転送中は、転送の進捗と共にDMA制御部801によって「転送先アドレス」レジスタの値が適宜インクリメント、あるいはデクリメントされる。

「残転送長」レジスタは、要求転送長から、転送済みのデータ転送長を引いた値を示す。残転送長は、データ転送の進捗と共に、DMA制御部801によって適宜更新される。

#### 【0080】

初期設定レジスタ805は、「プロセッサ2用スクリプト領域先頭アドレス」、「プロセッサ2用スクリプト数」、「プロセッサ2用スクリプトサイズ」、「プロセッサ1用スクリプト領域先頭アドレス」、「プロセッサ1用スクリプト数」、「プロセッサ1用スクリプトサイズ」の各レジスタを備える。初期設定レジスタ805のこれらの値は、例えばチャンネル制御部110のパワーオンリセット時に、DMA制御部801により、CHN110が備えるNVRAMから読み込まれるようにすることができる。

「プロセッサ2用スクリプト領域先頭アドレス」レジスタは、メモリ2(113)におけるスクリプト領域の先頭アドレスを示す。つまり、プロセッサ2用スクリプト0が記憶されるアドレスを示す。

「プロセッサ2用スクリプト数」レジスタは、プロセッサ2用スクリプトの数を示す。図16に示す例ではN+1となる。

「プロセッサ2用スクリプトサイズ」レジスタは、プロセッサ2用スクリプトのサイズを示す。このようにプロセッサ2用スクリプトのサイズを固定とすることにより、プロセッサ2用スクリプトの識別子を特定することにより、スクリプト領域の先頭アドレスを基準とした、目的のプロセッサ2用スクリプトの記憶アドレスを算出することができる。

#### 【0081】

「プロセッサ1用スクリプト領域先頭アドレス」レジスタ、「プロセッサ1用スクリプト数」レジスタ、及び「プロセッサ1用スクリプトサイズ」レジスタは、それぞれプロセッサ2用スクリプトと同様である。

#### 【0082】

スクリプトレジスタ806は、「プロセッサ2用実行スクリプト番号」、「プロセッサ2用有効エリア長」、「プロセッサ1用実行スクリプト番号」、「プロセッサ1用有効エリア長」の各レジスタを備える。

「プロセッサ2用実行スクリプト番号」レジスタは、現在実行中のプロセッサ2用スクリプトの識別子を示す。プロセッサ2用実行スクリプト番号は、DMA制御部801により設定される。

「プロセッサ2用有効エリア長」レジスタは、プロセッサ2用スクリプトのエリア長欄に記載されたエリア長から、転送済みのデータサイズを引いた値である。データ転送の進

渉と共に、DMA制御部801によって適宜デクリメントされる。

「プロセッサ1用実行スクリプト番号」レジスタ、及び「プロセッサ1用有効エリア長」レジスタは、「プロセッサ2用実行スクリプト番号」レジスタ、及び「プロセッサ2用有効エリア長」レジスタと同様である。

#### 【0083】

===データ転送の流れ===

次に、メモリ2(113)とキャッシュメモリ130との間で行われるデータ転送の処理流れについて、図19乃至図23に示すフローチャートを用いて説明する。

まずプロセッサ2(112)はデータ領域を確保する(S1000)。データ領域を確保するとは、情報処理装置200から送信されたファイルアクセス要求が書きこみ要求の場合は、書き込みデータをメモリ2(113)に記憶するということである。また情報処理装置200から送信されたファイルアクセス要求が読み出し要求の場合は、読み出しデータを記憶するための記憶領域をメモリ2(113)に確保するということである。ここで確保されるデータ領域は一つとは限らない。メモリ2(113)におけるデータの記憶可能領域の分布状況等によっては、一つのファイルアクセス要求に係るデータを複数に分割してメモリ2(113)に記憶せざるを得ない場合もあるからである。

#### 【0084】

続いてプロセッサ2(112)は、プロセッサ2用スクリプトを作成する(S1001)。S1000において確保したデータ領域の先頭アドレスやエリア長等をプロセッサ2用スクリプトとして、メモリ2(113)のスクリプト領域に記憶する。S1000において確保したデータ領域が複数の場合には、それぞれのデータ領域毎にプロセッサ2用スクリプトが作成される。その際、各プロセッサ2用スクリプトをひとまとまりに管理するために、連続Flagがセットされる。

これによりメモリ2(113)におけるデータの記憶位置を示す情報を含むプロセッサ2用スクリプトがメモリ2(113)に書き込まれる。

#### 【0085】

そしてプロセッサ2(112)は、プロセッサ1(119)に対して、データ転送要求コマンドを送信する(S1002)。データ転送要求コマンドには、S1001で作成したプロセッサ2用スクリプトの識別子と、要求転送長と、転送方向とが含まれる。要求転送長は、ファイルアクセス要求に記載された読み書きされるデータのサイズとなる。

そうするとプロセッサ1(119)はプロセッサ2(112)から送信されたデータ転送要求コマンドを解析する(S1003)。これによりプロセッサ2用スクリプトの番号と要求転送長と転送方向とを認識する。

つづいてプロセッサ1(119)は、要求転送長で指定されたサイズのデータ領域をキャッシュメモリ130に確保する(S1004)。ここでもキャッシュメモリ130における記憶可能メモリ空間の分布状況等によっては、複数のデータ領域が確保される場合がある。

#### 【0086】

そしてプロセッサ1(119)は、キャッシュメモリ130に確保した各データ領域に対応して、プロセッサ1用スクリプトを作成する(S1005)。複数のデータ領域が確保された場合には、各プロセッサ1用スクリプトをひとまとまりに管理するために、連続Flagがセットされる。

これによりキャッシュメモリ130におけるデータの記憶位置を示す情報を含むプロセッサ1用スクリプトがメモリ1(117)に書き込まれる。

その後プロセッサ1(119)は、DMA114に対して、要求転送長、転送方向、プロセッサ2用スクリプトの識別子、及びプロセッサ1用スクリプトの識別子を含む転送起動情報を送信し、DMA114の転送起動レジスタ803にこれらのデータを書き込む。これによりプロセッサ1(119)はDMA114を起動する(S1006)。

そうすると、DMA114はDMA転送処理を開始する(S1007)。DMA転送処理については、図20乃至図23を用いて説明する。

## 【0087】

まずDMA制御部801が、転送起動情報に記載されたプロセッサ1用スクリプトの識別子とプロセッサ2用スクリプトの識別子とにより、プロセッサ1用スクリプトとプロセッサ2用スクリプトとをそれぞれ取得する(S2000)。スクリプトの取得は図21に示すように行われる。

## 【0088】

まずDMA制御部801は、転送起動情報に基づいて、プロセッサ1(119)から送信された転送起動情報に記載されたプロセッサ1用スクリプトの識別子と、初期設定レジスタ805に記憶されたプロセッサ1用スクリプトサイズとから、メモリ1(117)におけるプロセッサ1用スクリプトの記憶アドレスを算出する(S3000)。プロセッサ1用スクリプトの記憶アドレスが算出できたら、続いてメモリ1(117)のその記憶アドレスからプロセッサ1用スクリプトを読み出す(S3001)。ここで、DMA制御部801は、プロセッサ1用スクリプトに記載された領域先頭アドレスを、転送方向に応じて転送レジスタ804の転送先アドレス欄又は転送元アドレス欄に記載する。そしてスクリプトレジスタ806のプロセッサ1用実行スクリプト番号欄、プロセッサ1用有効エリア長欄にそれぞれ、プロセッサ1用スクリプトに記載されたスクリプト識別子、エリア長欄に記載されたエリア長を書き込む(S3002)。

## 【0089】

同様に、DMA制御部801は、転送起動情報に基づいて、プロセッサ1(119)から送信された転送起動情報に記載されたプロセッサ2用スクリプトの識別子と、初期設定レジスタ805に記憶されたプロセッサ2用スクリプトサイズとから、メモリ2(113)におけるプロセッサ2用スクリプトの記憶アドレスを算出する(S3000)。プロセッサ2用スクリプトの記憶アドレスが算出できたら、続いてメモリ2(113)のその記憶アドレスからプロセッサ2用スクリプトを読み出す(S3001)。ここで、DMA制御部801は、プロセッサ2用スクリプトに記載された領域先頭アドレスを、転送方向に応じて転送レジスタ804の転送元アドレス欄又は転送先アドレス欄に記載する。そしてスクリプトレジスタ806のプロセッサ2用実行スクリプト番号欄、プロセッサ2用有効エリア長欄にそれぞれ、プロセッサ2用スクリプトに記載されたスクリプト識別子、エリア長欄に記載されたエリア長を書き込む(S3002)。

続いてDMA制御部801は転送単位を決定する(S2001)。転送単位の決定は図22に示すフローに従って行われる。

## 【0090】

まずDMA制御部801は、転送レジスタ804の残転送長欄に残転送長を書き込む。転送開始時は、要求転送長を書き込む(S4000)。

そしてプロセッサ1の有効エリア長とプロセッサ2の有効エリア長と、残転送長のうちの最小のものを転送単位とする(S4001乃至S4007)。

そしてDMA制御部801は、転送レジスタ804に記憶された転送元アドレスに記憶されたデータを、転送先アドレスに、転送単位のデータサイズだけ転送する(S2002)。

## 【0091】

転送実行中は、転送レジスタ804の転送元アドレス、転送先アドレス、及び残転送長が順次更新されると共に、スクリプトレジスタ806のプロセッサ2用有効エリア長及びプロセッサ1用有効エリア長が順次転送済みデータのサイズの分ずつ減少される。

スクリプトレジスタ806のプロセッサ2用有効エリア長、プロセッサ1用有効エリア長、又は残転送長のいずれかの値が0になったら、DMA制御部801は転送終了判定処理を行う(S2003)。

## 【0092】

転送終了判定処理は図23に示すフローに従って行われる。

まずDMA制御部801は、転送レジスタ804の残転送長を確認する(S5000)。残転送長が0の場合は要求転送長の全データの転送が完了しているので、“No”に進み処理を終了する。

一方、残転送長が0でない場合は、プロセッサ1用有効エリア長あるいはプロセッサ2用有効エリア長の少なくともいずれか一方が0である。この場合、有効エリア長が0となった方のスクリプトには、連続Flagで連結された、次に実行すべきスクリプトが存在する。S5001乃至S5004の処理により、連続Flagで連結された、次に実行すべきスクリプトが存在するスクリプトは、プロセッサ1用スクリプトであるのか、あるいはプロセッサ2用スクリプトであるのかを決定する。

#### 【0093】

まずS5001において、スクリプトレジスタ806のプロセッサ1用有効エリア長が0であるか否かを確認する。0であれば“Yes”に進み、S5002においてプロセッサ1用開始スクリプト番号を更新する。0でなければ“No”に進む。

続いてプロセッサ2用有効エリア長が0であるか否かを確認する（S5003）。0であれば“Yes”に進み、S5004においてプロセッサ2用開始スクリプト番号を更新する。0でなければ“No”に進む。

続いてDMA制御部801はS2000を再び実行する。この際DMA制御部801は、S5002又はS5004において更新された転送起動レジスタ803のプロセッサ1用開始スクリプト番号又はプロセッサ2用開始スクリプトで指定されるスクリプトを読み出す。そしてDMA制御部801は新たに読み出したスクリプトに従って、DMA転送を行う。

最終的に、S2003における転送終了判定処理において転送レジスタ804の残転送長が0になったら、DMA制御部801は転送処理を終了する。そしてDMA制御部801は、転送処理の結果が記載された終了ステータスをメモリ1（117）に書き込み（S1008）、プロセッサ1（119）に終了通知を行う（S1009）。この終了通知は、例えば割り込み信号の送信により行うことができる。

#### 【0094】

プロセッサ1（119）は、メモリ1（117）から終了ステータスを読み出して、その内容に応じた処理を実行する（S1010）。そしてプロセッサ1（119）はプロセッサ2（112）に終了通知を送信する（S1011）。

そうするとプロセッサ2（112）は、ファイルアクセス要求がデータの読み出し要求であった場合には、メモリ2（113）のデータ領域に転送された読み出しデータを読み出して、情報処理装置200に送信することができる。またファイルアクセス要求がデータの書き込み要求であった場合には、書き込みデータの記憶されていたメモリ2（113）の記憶領域を開放し、他の処理に用いるようにすることができる。

#### 【0095】

このように、本実施の形態に係る記憶デバイス制御装置100においては、キャッシュメモリ130におけるデータの記憶位置等の情報と、メモリ2（113）におけるデータの記憶位置等の情報とが、プロセッサ1（119）によって、メモリ1（117）に書き込まれる。そしてDMA114がこれらの情報をメモリ1（117）から読みだして、データ転送を行う。これにより、プロセッサ1（119）のアイドル時間を減らし、プロセッサ1（119）を効率良く実行させることができる。これにより、情報処理装置200からのファイルアクセス要求に対して、データの読み書きを高速化することができる。

#### 【0096】

さらに本実施の形態に係る記憶デバイス制御装置100においては、プロセッサ2用スクリプトはメモリ2（113）に記憶される。プロセッサ2（112）は、プロセッサ1（119）に対して、プロセッサ2用スクリプトそのものではなく、プロセッサ2用スクリプトの記憶位置を示す情報を送信する。このようにすることにより、プロセッサ間通信により送信されるデータ量を減らし、通信時間を減少させることができる。このため、DMA起動処理時間を短縮することができ、情報処理装置200からのファイルアクセス要求に対するデータの読み書きを高速化することができる。

#### 【0097】

また、転送元のデータサイズと転送先のデータサイズとが異なる場合であっても、本実施の形態に係る記憶デバイス制御装置100によれば、プロセッサ1（119）やプロセ

ッサ2 (112) による制御を行わなくても、DMA 114 によりデータ転送が制御される。これにより、プロセッサ1 (119) やプロセッサ2 (113) の処理負荷が軽減され、情報処理装置200からのファイルアクセス要求に対するデータの読み書きを高速化することができる。

#### 【0098】

さらに本実施の形態に係る記憶デバイス制御装置100においては、終了ステータスがDMA 114のレジスタではなく、メモリ1 (117) に書き込まれる。そしてプロセッサ1 (119) がメモリ1 (117) から終了ステータスを読み出すようにしている。これにより、プロセッサ1 (119) が終了ステータスを読み出す時間を短縮することができる。このためプロセッサ1 (119) のアイドル時間を減らすことができる。これによっても、情報処理装置200からのファイルアクセス要求に対して、データの読み書きを高速化することができる。

#### 【0099】

また本実施の形態に係る記憶デバイス制御装置100によれば、情報処理装置200からのファイルアクセス要求に対するデータの読み書きを高速化することができるため、セカンダリサイトに設置されたストレージシステム610との間で行われるデータの送受信や、バックアップデバイス900、910との間で行われるデータの送受信も高速化することができる。ストレージシステム600が用いられる情報処理システムの規模を問わずに、情報処理システム全体の処理性能を大きく向上させることができる。

#### 【0100】

なおS1002においてプロセッサ2 (112) からプロセッサ1 (119) に送信されるデータ転送要求コマンドにプロセッサ2用スクリプトの識別子を含まないようにすることもできる。この場合は、例えばプロセッサ2 (112) は、メモリ2 (113) において予め定められた記憶位置にプロセッサ2用スクリプトの識別子を記憶する様にし、DMA 114は、S1007のDMA転送処理を開始する前に、その記憶位置からプロセッサ2用スクリプトの識別子を読み出すようにすることができる。

#### 【0101】

また同様にS1006においても、プロセッサ1 (119) からDMA 114に送信される転送起動情報にプロセッサ1用スクリプト、及びプロセッサ2用スクリプトの識別子を含まないようにすることができる。この場合は、例えばプロセッサ1 (112) は、メモリ1 (117) において予め定められた記憶位置にプロセッサ1用スクリプトの識別子、及びプロセッサ2用スクリプトの識別子を記憶する様にし、DMA 114は、S1007のDMA転送処理を開始する前に、その記憶位置からプロセッサ1用スクリプトの識別子、及びプロセッサ2用スクリプトの識別子を読み出すようにすることができる。

#### 【0102】

=== DMA転送の具体例 ===

次に、上記説明したメモリ2 (113) とキャッシュメモリ130との間で行われるデータ転送の処理流れについて、図24に示す例を用いて具体的に説明する。図24に示す例は、メモリ2 (113) に記憶されている2つの4kBのデータを、キャッシュメモリ130の64kBのデータ領域に、2kBのデータ、及び6kBのデータとして転送する場合の例である。

#### 【0103】

図19において、まずプロセッサ2 (112) はデータ領域を確保する (S1000)。データ領域を確保するとは、ここでは、情報処理装置200から送信された書き込みデータをメモリ2 (113) に記憶するということである。図24に示す例では、2つの4kBのデータがメモリ2 (113) に記憶される。

続いてプロセッサ2 (112) は、プロセッサ2用スクリプトを作成する (S1001)。ここでプロセッサ2 (112) は、メモリ2 (113) に記憶された2つのデータに対応して、2つのプロセッサ2用スクリプトを作成する。図24には、プロセッサ2用スクリプト0とプロセッサ2用スクリプト1とが作成されていることが示される。プロセッサ2



用スクリプト0には、エリア長として4kBが記載され、連続Flagがセットされる。またプロセッサ2用スクリプト1には、エリア長として4kBが記載され、連続Flagはセットされない。

#### 【0104】

そしてプロセッサ2(112)は、プロセッサ1(119)に対して、データ転送要求コマンドを送信する(S1002)。データ転送コマンドには、S1001で作成したプロセッサ2用スクリプトの識別子と、要求転送長と転送方向とが含まれる。ここでは、プロセッサ2用スクリプトの識別子として0と1とが送信され、要求転送長としては8kBが送信される。転送方向としては、メモリ2(113)からキャッシュメモリ130への転送であることが示される。なお、プロセッサ2(112)からプロセッサ1(119)に対して送信されるプロセッサ2用スクリプトの識別子は0のみとすることもできる。

続いてプロセッサ1(119)はプロセッサ2(112)から送信されたデータ転送コマンドを解析する(S1003)。これによりプロセッサ2用スクリプトの番号と要求転送長と転送方向とを認識する。

#### 【0105】

プロセッサ1(119)は、要求転送長で指定されたサイズのデータ領域をキャッシュメモリ130に確保する(S1004)。図24では、2kBのデータ領域と6kBのデータ領域とが確保されたことが示される。

そしてプロセッサ1(119)は、プロセッサ1用スクリプトを作成する(S1005)。ここでプロセッサ1(119)は、キャッシュメモリ130に確保された2つのデータ領域に対応して、2つのプロセッサ1用スクリプトを作成する。図24には、プロセッサ1用スクリプト0とプロセッサ1用スクリプト1とが作成されたことが示される。プロセッサ1用スクリプト0には、エリア長として2kBが記載され、連続Flagがセットされる。またプロセッサ1用スクリプト1には、エリア長として6kBが記載され、連続Flagはセットされない。

その後プロセッサ1(119)は、DMA114に対して、要求転送長、転送方向、プロセッサ2用スクリプト0の識別子、及びプロセッサ1用スクリプト0の識別子を含む転送起動情報を送信し、DMA114の転送起動レジスタ803にこれらのデータを書き込むことにより、DMA114を起動する(S1006)。

そうすると、DMA114はDMA転送処理を開始する(S1007)。

#### 【0106】

具体的には、まずDMA制御部801がプロセッサ1用スクリプト0とプロセッサ2用スクリプト0とをそれぞれ取得する(S2000)。スクリプトの取得は図21に示すように行われる。

まずDMA制御部801は、転送起動情報に基づいて、プロセッサ1(119)から送信された転送起動情報に記載されたプロセッサ1用スクリプト0の識別子と、初期設定レジスタに記憶されたプロセッサ1用スクリプトサイズとから、メモリ1(117)におけるプロセッサ1用スクリプト0の記憶アドレスを算出する(S3000)。プロセッサ1用スクリプト0の記憶アドレスが算出できたら、続いてメモリ1(117)のその記憶アドレスからプロセッサ1用スクリプト0を読み出す(S3001)。ここで、DMA制御部801は、プロセッサ1用スクリプト0に記載された#0領域先頭アドレスを転送レジスタ804の転送先アドレス欄に記載する。そしてスクリプトレジスタ806のプロセッサ1用実行スクリプト番号欄、プロセッサ1用有効エリア長欄にそれぞれ、プロセッサ1用スクリプト0に記載されたスクリプト識別子である0、エリア長欄に記載された2kBを書き込む(S3002)。

#### 【0107】

同様に、DMA制御部801は、転送起動情報に基づいて、プロセッサ1(119)から送信された転送起動情報に記載されたプロセッサ2用スクリプト0の識別子と、初期設定レジスタに記憶されたプロセッサ2用スクリプトサイズとから、メモリ2(113)におけるプロセッサ2用スクリプト0の記憶アドレスを算出する(S3000)。プロセッサ2



用スクリプト 0 の記憶アドレスが算出できたら、続いてメモリ 2 (113) のその記憶アドレスからプロセッサ 2 用スクリプト 0 を読み出す (S3001)。ここで、DMA 制御部 801 は、プロセッサ 2 用スクリプト 0 に記載された #0 領域先頭アドレスを転送レジスタ 804 の転送元アドレス欄に記載する。そしてスクリプトレジスタ 806 のプロセッサ 2 用実行スクリプト番号欄、プロセッサ 2 用有効エリア長欄にそれぞれ、プロセッサ 2 用スクリプト 0 に記載されたスクリプト識別子である 0、エリア長欄に記載された 4 k B を書き込む (S3002)。

続いて DMA 制御部 801 は転送単位を決定する (S2001)。転送単位の決定は図 22 に示すフローに従って行われる。

#### 【0108】

まず DMA 制御部 801 は、転送レジスタ 804 の残転送長欄に要求転送長である 8 k B を書き込む (S4000)。

続いて、スクリプトレジスタ 806 における、プロセッサ 1 の有効エリア長である 2 k B とプロセッサ 2 の有効エリア長である 4 k B とを比較する (S4001)。ここでは後者の方が大きいので "Yes" に進む。そしてプロセッサ 1 の有効エリア長である 2 k B と残転送長である 8 k B とを比較する (S4002)。ここでも後者の方が大きいので "Yes" に進む。これによりプロセッサ 1 の有効エリア長である 2 k B が転送単位に決定される (S4003)。

そして DMA 制御部 801 は、転送レジスタ 804 に記憶された転送元アドレスに記憶されたデータを、転送先アドレスに、転送単位のデータサイズだけ転送する (S2002)。つまりここでは、メモリ 2 (113) のデータをキャッシュメモリ 130 に 2 k B だけ転送する。

#### 【0109】

転送実行中は、転送レジスタ 804 の転送元アドレス、転送先レジスタ、及び残転送長が順次更新されると共に、スクリプトレジスタ 806 のプロセッサ 2 用有効エリア長及びプロセッサ 1 用有効エリア長が順次転送済みデータのサイズの分ずつ減少される。

スクリプトレジスタ 806 のプロセッサ 2 用有効エリア長、プロセッサ 1 用有効エリア長、又は残転送長の値が 0 になったら、DMA 制御部 801 は転送終了判定処理を行う (S2003)。この時点では、スクリプトレジスタ 806 のプロセッサ 1 用有効エリア長が 0 となっている。またプロセッサ 2 用有効エリア長は 2 k B となっている。残転送長は 6 k B (要求転送長 8 k B - 転送単位 2 k B) となっている。

#### 【0110】

転送終了判定処理は図 23 に示すフローに従って行われる。まず DMA 制御部 801 は、転送レジスタ 804 の残転送長を確認する (S5000)。ここでは、残転送長は 6 k B であるので、"Yes" に進む。そしてスクリプトレジスタ 806 のプロセッサ 1 用有効エリア長が 0 であるか否かを確認する (S5001)。プロセッサ 1 用有効エリア長は上述のように 0 であるので、"No" に進む。そして転送起動レジスタ 803 のプロセッサ 1 用開始スクリプト番号をインクリメントする (S5002)。具体的には、プロセッサ 1 用開始スクリプト番号を 1 にする。

続いて DMA 制御部 801 は、スクリプトレジスタ 806 のプロセッサ 2 用有効エリア長を確認する (S5003)。プロセッサ 2 用有効エリア長は上述のように 2 k B であるので、"Yes" に進む。

#### 【0111】

そして DMA 制御部 801 は S2000 を再び実行する。この際 DMA 制御部 801 は、S5002 において更新された転送起動レジスタ 803 のプロセッサ 1 用開始スクリプト番号で指定されるスクリプトを読み出す。すなわち DMA 制御部 801 は、S3000 乃至 S3001 を実行することにより、メモリ 1 (117) からプロセッサ 1 用スクリプト 1 を読み出す。そして DMA 制御部 801 は、プロセッサ 1 用スクリプト 1 に記載された #1 領域先頭アドレスを転送レジスタ 804 の転送先アドレス欄に記載する。そしてスクリプトレジスタ 806 のプロセッサ 1 用実行スクリプト番号欄、プロセッサ 1 用有効エリア長欄にそれぞれ、

プロセッサ1用スクリプト1に記載されたスクリプト識別子である1、エリア長欄に記載された6kBを書き込む(S3002)。

続いてDMA制御部801は図22のフローに従って転送単位を決定する(S2001)。

#### 【0112】

この時点では、転送レジスタ804の残転送長欄は6kBである(S4000)。

続いてDMA制御部801は、スクリプトレジスタ806における、プロセッサ1の有効エリア長である6kBとプロセッサ2の有効エリア長である2kBとを比較する(S4001)。ここでは前者の方が大きいので“No”に進む。そしてプロセッサ2の有効エリア長である2kBと残転送長である6kBとを比較する(S4005)。ここでは後者の方が大きいので“Yes”に進む。これによりプロセッサ2の有効エリア長である2kBが転送単位に決定される(S4006)。

#### 【0113】

そしてDMA制御部801は、転送レジスタ804に記憶された転送元アドレスに記憶されたデータを、転送先アドレスに、転送単位のデータサイズだけ転送する(S2002)。つまりここでは、メモリ2(113)のデータをキャッシュメモリ130に2kBだけ転送する。

転送実行中は、転送レジスタ804の転送元アドレス、転送先レジスタ、及び残転送長が順次更新されると共に、スクリプトレジスタ806のプロセッサ2用有効エリア長及びプロセッサ1用有効エリア長が順次転送済みデータのサイズの分ずつ減少される。

スクリプトレジスタ806のプロセッサ2用有効エリア長、プロセッサ1用有効エリア長、又は残転送長の値が0になったら、DMA制御部801は転送終了判定処理を行う(S2003)。この時点では、スクリプトレジスタ806のプロセッサ2用有効エリア長が0となっている。またプロセッサ1用有効エリア長は4kBとなっている。残転送長は4kB(前回の残転送長6kBー転送単位2kB)となっている。

#### 【0114】

転送終了判定処理は図23に示すフローに従って行われる。まずDMA制御部801は、転送レジスタ804の残転送長を確認する(S5000)。ここでは、残転送長は4kBであるので、“Yes”に進む。そしてスクリプトレジスタ806のプロセッサ1用有効エリア長が0であるか否かを確認する(S5001)。プロセッサ1用有効エリア長は上述のように4kBであるので、“Yes”に進む。そしてスクリプトレジスタ806のプロセッサ2用有効エリア長が0であるか否かを確認する(S5003)。プロセッサ2用有効エリア長は上述のように0であるので、“No”に進む。そして転送起動レジスタ803のプロセッサ2用開始スクリプト番号をインクリメントする(S5004)。具体的には、プロセッサ2用開始スクリプト番号を1にする。

#### 【0115】

そしてDMA制御部801はS2000を再び実行する。この際DMA制御部801は、S5004において更新された転送起動レジスタ803のプロセッサ2用開始スクリプト番号で指定されるスクリプトを読み出す。すなわちDMA制御部801は、S3000乃至S3001を実行することにより、メモリ2(117)からプロセッサ2用スクリプト1を読み出す。そしてDMA制御部801は、プロセッサ2用スクリプト1に記載された#1領域先頭アドレスを転送レジスタ804の転送元アドレス欄に記載する。そしてスクリプトレジスタ806のプロセッサ2用実行スクリプト番号欄、プロセッサ2用有効エリア長欄にそれぞれ、プロセッサ2用スクリプト1に記載されたスクリプト識別子である1、エリア長欄に記載された4kBを書き込む(S3002)。

続いてDMA制御部801は、再度図22のフローに従って転送単位を決定する(S2001)。

この時点では、転送レジスタ804の残転送長欄は4kBである(S4000)。

#### 【0116】

続いてDMA制御部801は、スクリプトレジスタ806における、プロセッサ1の有効エリア長である4kBとプロセッサ2の有効エリア長である4kBとを比較する(S400

1) 。ここでは前者と後者とが等しいので”No”に進む。そしてプロセッサ2の有効エリア長である4kBと残転送長である4kBとを比較する(S4005)。ここでも前者と後者とが等しいので”No”に進む。これにより残転送長である4kBが転送単位に決定される(S4007)。

そしてDMA制御部801は、転送レジスタ804に記憶された転送元アドレスに記憶されたデータを、転送先アドレスに、転送単位のデータサイズだけ転送する(S2002)。つまりここでは、メモリ2(113)のデータをキャッシュメモリ130に4kBだけ転送する。

転送実行中は、転送レジスタ804の転送元アドレス、転送先レジスタ、及び残転送長が順次更新されると共に、スクリプトレジスタ806のプロセッサ2用有効エリア長及びプロセッサ1用有効エリア長が順次転送済みデータのサイズの分ずつ減少される。

スクリプトレジスタ806のプロセッサ2用有効エリア長、プロセッサ1用有効エリア長、又は残転送長の値が0になったら、DMA制御部801は転送終了判定処理を行う(S2003)。この時点では、スクリプトレジスタ806のプロセッサ1用有効エリア長、プロセッサ2用有効エリア長、及び残転送長共に0となっている。

#### 【0117】

転送終了判定処理は図23に示すフローに従って行われる。残転送長が0であるので、”No”に進み、転送処理を終了する。そしてDMA制御部801は、転送処理の結果が記載された終了ステータスをメモリ1(117)に書き込み(S1008)、プロセッサ1(119)に終了通知を行う(S1009)。プロセッサ1(119)は、メモリ1(117)から終了ステータスを読み出して、その内容に応じた処理を実行する(S1010)。そしてプロセッサ1(119)はプロセッサ2(112)に終了通知を送信する(S1011)。プロセッサ2(112)は書き込みデータの記憶されていたメモリ2(113)の記憶領域を開放する。

以上のようにして、情報処理装置200から8kBのデータ書き込み要求があった場合におけるデータ転送処理が行われる。

#### 【0118】

===第2の実施の形態===

上記第1の実施の形態は、図25乃至図27に示す第2の実施の形態のようにすることもできる。第2の実施の形態は、第1の実施の形態に対してプロセッサ2用スクリプトを用いずにデータ転送を行う形態である。

この場合、図25に示すように、メモリ2(113)には転送データは記憶されるが、プロセッサ2用スクリプトは記憶されない。その代わり図26に示すように、メモリ1(117)プロセッサ1用スクリプトに、メモリ2(113)の領域先頭アドレスが記憶される。

#### 【0119】

第2の実施の形態における、メモリ2(113)とキャッシュメモリ130との間で行われるデータ転送の処理流れについて、図27に示すフローチャートを用いて説明する。

まずプロセッサ2(112)はデータ領域を確保する(S6000)。データ領域を確保するとは、第1の実施の形態と同様に、情報処理装置200から送信されたファイルアクセス要求が書き込み要求の場合は、書き込みデータをメモリ2(113)に記憶するということである。また情報処理装置200から送信されたファイルアクセス要求が読み出し要求の場合は、読み出しデータを記憶するための記憶領域をメモリ2(113)に確保することである。

#### 【0120】

そしてプロセッサ2(112)は、プロセッサ1(119)に対して、データ転送要求コマンド(第2のメモリにおけるデータの記憶位置を示す情報)を送信する(S6001)。データ転送要求コマンドには、S1000で確保したデータ領域の個々の記憶アドレスと、個々のデータサイズと、要求転送長と、転送方向とが含まれる。

そうするとプロセッサ1 (119) はプロセッサ2 (112) から送信されたデータ転送要求コマンドを解析する (S6002)。これによりメモリ2 (112) におけるデータの記憶アドレスとデータサイズと、要求転送長と転送方向とを認識する。

#### 【0121】

つづいてプロセッサ1 (119) は、要求転送長で指定されたサイズのデータ領域をキャッシュメモリ130に確保する (S6003)。

そしてプロセッサ1 (119) は、キャッシュメモリ130に確保した各データ領域に対応して、プロセッサ1用スクリプトを作成する (S6004)。

これによりキャッシュメモリ130におけるデータの記憶位置を示す情報と、メモリ2 (112) におけるデータの記憶位置を示す情報とを含むプロセッサ1用スクリプトがメモリ1 (117) に書き込まれる。

#### 【0122】

その後プロセッサ1 (119) は、DMA114に対して、要求転送長、転送方向、及びプロセッサ1用スクリプトの識別子を含む転送起動情報を送信し、DMA114の転送起動レジスタ803にこれらのデータを書き込む。これによりプロセッサ1 (119) はDMA114を起動する (S6005)。

そうすると、DMA114はDMA転送処理を開始する (S6006)。

DMA転送が終了したら、DMA制御部801は、転送処理の結果が記載された終了ステータスをメモリ1 (117) に書き込み (S6007)、プロセッサ1 (119) に終了通知を行う (S6008)。

#### 【0123】

プロセッサ1 (119) は、メモリ1 (117) から終了ステータスを読み出して、その内容に応じた処理を実行する (S6009)。そしてプロセッサ1 (119) はプロセッサ2 (112) に終了通知を送信する (S6010)。

そうするとプロセッサ2 (112) は、ファイルアクセス要求がデータの読み出し要求であった場合には、メモリ2 (113) のデータ領域に転送された読み出しデータを読み出して、情報処理装置200に送信することができる。またファイルアクセス要求がデータの書き込み要求であった場合には、書き込みデータの記憶されていたメモリ2 (113) の記憶領域を開放し、他の処理に用いるようにすることができる。

#### 【0124】

このように、本実施の形態に係る記憶デバイス制御装置100においても、キャッシュメモリ130におけるデータの記憶位置等の情報と、メモリ2 (113) におけるデータの記憶位置等の情報とが、プロセッサ1 (119) によって、メモリ1 (117) に書き込まれる。そしてDMA114がこれらの情報をメモリ1 (117) から読みだして、データ転送を行う。これにより、プロセッサ1 (119) のアイドル時間を減らすことができ、プロセッサ1 (119) を効率良く実行させることができる。またこれにより、情報処理装置200からのファイルアクセス要求に対して、データの読み書きを高速化することができる。

#### 【0125】

また、転送元のデータサイズと転送先のデータサイズとが異なる場合であっても、本実施の形態に係る記憶デバイス制御装置100によれば、プロセッサ1 (119) やプロセッサ2 (112) による制御を行わなくても、DMA114によりデータ転送が制御される。これにより、プロセッサ1 (119) やプロセッサ2 (113) の処理負荷が軽減され、情報処理装置200からのファイルアクセス要求に対するデータの読み書きを高速化することができる。

#### 【0126】

さらに本実施の形態に係る記憶デバイス制御装置100においては、終了ステータスがDMA114のレジスタにではなく、メモリ1 (117) に書き込まれる。そしてプロセッサ1 (119) がメモリ1 (117) から終了ステータスを読み出すようにしている。これにより、プロセッサ1 (119) が終了ステータスを読み出す時間を短縮することが

できる。このためプロセッサ1 (119) のアイドル時間を減らすことができる。これによっても、情報処理装置200からのファイルアクセス要求に対して、データの読み書きを高速化することができる。

#### 【0127】

なおS1006においては、プロセッサ1 (119) からDMA114に送信される転送起動情報にプロセッサ1用スクリプトの識別子を含まないようにすることができる。この場合は、例えばプロセッサ1 (112) は、メモリ1 (117) において予め定められた記憶位置にプロセッサ1用スクリプトの識別子を記憶する様にし、DMA114は、S6006のDMA転送処理を開始する前に、その記憶位置からプロセッサ1用スクリプトの識別子を読み出すようにすることができる。

#### 【0128】

===第3の実施の形態===

さらに、図28に示すように第3の実施の形態のようにすることもできる。第3の実施の形態は、LAN400等のネットワークに接続されたコンピュータ等の情報処理装置200において、第1の実施の形態や第2の実施の形態と同様のDMA転送を実現する形態である。

#### 【0129】

情報処理装置200には、プロセッサ1 (第1のプロセッサ) 209、プロセッサ2 (第2のプロセッサ) 202、DMA (データ転送装置) 204、メモリ1 (第3のメモリ) 207、メモリ2 (第2のメモリ) 203、メモリコントローラ1 (201)、メモリコントローラ2 (201)、I/Oコントローラ205、及び記憶装置 (第1のメモリ) 210が形成されている。

#### 【0130】

プロセッサ2 (202)、メモリ2 (203) 及びメモリコントローラ2 (201) は、LAN400を通じて他の情報処理装置200との間で通信を行うための通信インタフェース機能を提供する。例えばTCP/IPプロトコルに従ってLAN400を通じて他の情報処理装置200から送信されたファイルアクセス要求の受信や、データの送受信の制御を行う。

#### 【0131】

プロセッサ2 (202) は、メモリ2 (203) に記憶された様々なプログラムを実行することにより、情報処理装置200全体の制御を司る。

メモリ2 (203) には様々なプログラムやデータが記憶される。例えばLAN400を通じて他の情報処理装置200との間で授受されるデータが記憶される。

なお、メモリ2 (203) に記憶されるデータの記憶アドレス (記憶位置) は、プロセッサ2 (202) により管理される。

#### 【0132】

プロセッサ1 (209)、メモリ1 (207)、DMA204、及びメモリコントローラ1 (201) は、記憶装置210やI/Oコントローラ205との間でデータやコマンドの授受を行う。プロセッサ1 (209) は、メモリ2 (203) に記憶されたデータの記憶装置210への転送や、記憶装置210に記憶されたデータのメモリ2 (203) への転送をDMA114に実行させる。すなわちメモリ2 (203) と記憶装置210との間のデータの転送はDMA204により行われる。またプロセッサ1 (209) は、メモリ2 (203) に記憶されたデータのI/Oコントローラ205への転送や、I/Oコントローラ205に記憶されたデータのメモリ2 (203) への転送をDMA114に実行させる。またプロセッサ1 (209) は記憶装置210やI/Oコントローラ205に記憶されるデータの記憶アドレス (記憶位置)、及びメモリ1 (207) に記憶されるデータの記憶アドレス (記憶位置) を管理している。

#### 【0133】

I/Oコントローラ205は、入力装置206や出力装置207と接続され、入力装置206や出力装置207と情報処理装置200との間でのデータの授受を制御する。入力

装置 206 は、情報処理装置 200 を操作するオペレータ等による情報処理装置 200 へのデータ入力等のために用いられる。入力装置 206 としては例えばキーボードやマウス等が用いられる。出力装置 207 は情報を外部に出力するための装置である。出力装置 207 としては例えばディスプレイやプリンタ等が用いられる。記憶装置 210 は、例えばハードディスク装置や半導体記憶装置等である。記憶装置 210 は、図 28 に示すように、情報処理装置 200 に内蔵されているようにすることもできるし、外付されているようにすることもできる。

#### 【0134】

第 3 の実施の形態に係る情報処理装置 200 においては、メモリ 2 (203) と記憶装置 210 との間や、メモリ 2 (203) と I/O コントローラ 205 との間、あるいは I/O コントローラ 205 と記憶装置 210 との間において、第 1 の実施の形態、あるいは第 2 の実施の形態と同様の DMA 転送を行うことにより、プロセッサ 1 (209) のアイドル時間を減少させ、処理効率を向上させることができる。これにより記憶装置 210 へのデータの読み書き、あるいは入力装置 206 や出力装置 208 へのデータの入出力を高速化することができる。

#### 【0135】

以上発明を実施するための最良の形態について説明したが、上記実施の形態は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

#### 【図面の簡単な説明】

#### 【0136】

【図 1】 本実施の形態に係るストレージシステムの全体構成を示すブロック図である。

【図 2】 本実施の形態に係るストレージシステムの外観構成を示す図である。

【図 3】 本実施の形態に係る記憶デバイス制御装置の外観構成を示す図である。

【図 4】 本実施の形態に係る管理端末の構成を示すブロック図である。

【図 5】 本実施の形態に係る物理ディスク管理テーブルを示す図である。

【図 6】 本実施の形態に係る LU 管理テーブルを示す図である。

【図 7】 本実施の形態に係る CHN を示すブロック図である。

【図 8】 本実施の形態に係る CHF、CHA を示すブロック図である。

【図 9】 本実施の形態に係るメタデータ、ロックテーブルを示す図である。

【図 10】 本実施の形態に係るディスク制御部を示すブロック図である。

【図 11】 本実施の形態に係るストレージシステムのソフトウェア構成図である。

【図 12】 本実施の形態に係るストレージシステムにおけるクラスタ構成を示す図である。

【図 13】 本実施の形態に係るメタデータを示す図である。

【図 14】 本実施の形態に係るロックテーブルを示す図である。

【図 15】 本実施の形態に係る DMA の構成を示すブロック図である。

【図 16】 本実施の形態に係るメモリ 2 を示す図である。

【図 17】 本実施の形態に係るメモリ 1 を示す図である。

【図 18】 本実施の形態に係るキャッシュメモリを示す図である。

【図 19】 本実施の形態に係る DMA 転送の流れを示すフローチャートである。

【図 20】 本実施の形態に係る DMA 転送処理の流れを示すフローチャートである。

【図 21】 本実施の形態に係るスクリプト取得処理の流れを示すフローチャートである。

【図 22】 本実施の形態に係る DMA 転送単位決定処理の流れを示すフローチャートである。

【図 23】 本実施の形態に係る転送終了判定処理の流れを示すフローチャートである。

【図 24】 本実施の形態に係る DMA 転送の具体例を示す図である。

【図 25】 本実施の形態に係るメモリ 2 を示す図である。

【図 26】 本実施の形態に係るメモリ 1 を示す図である。

【図 27】 本実施の形態に係る DMA 転送の流れを示すフローチャートである。

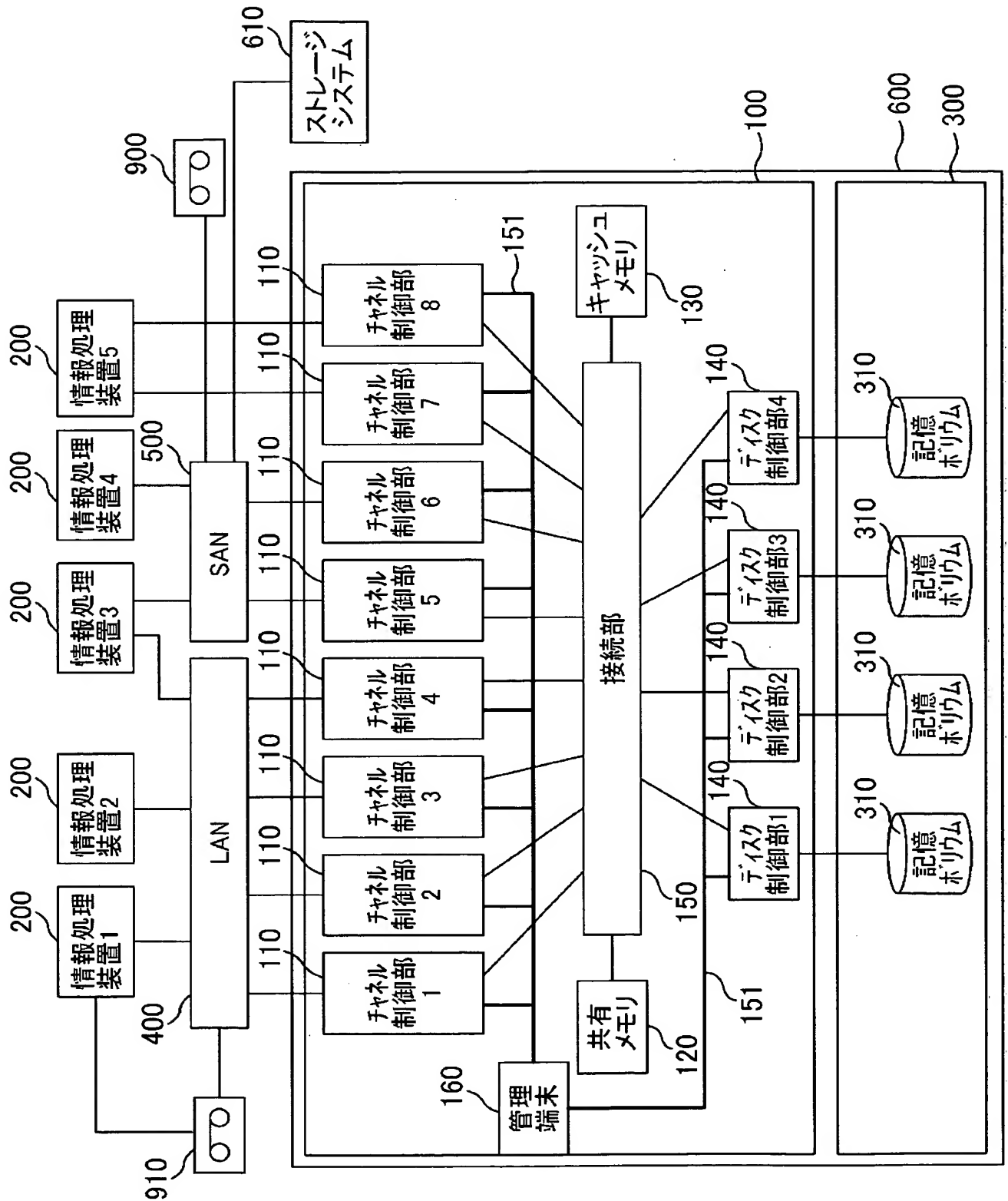
【図 28】 本実施の形態に係る情報処理装置の構成を示すブロック図である。

【符号の説明】

【0137】

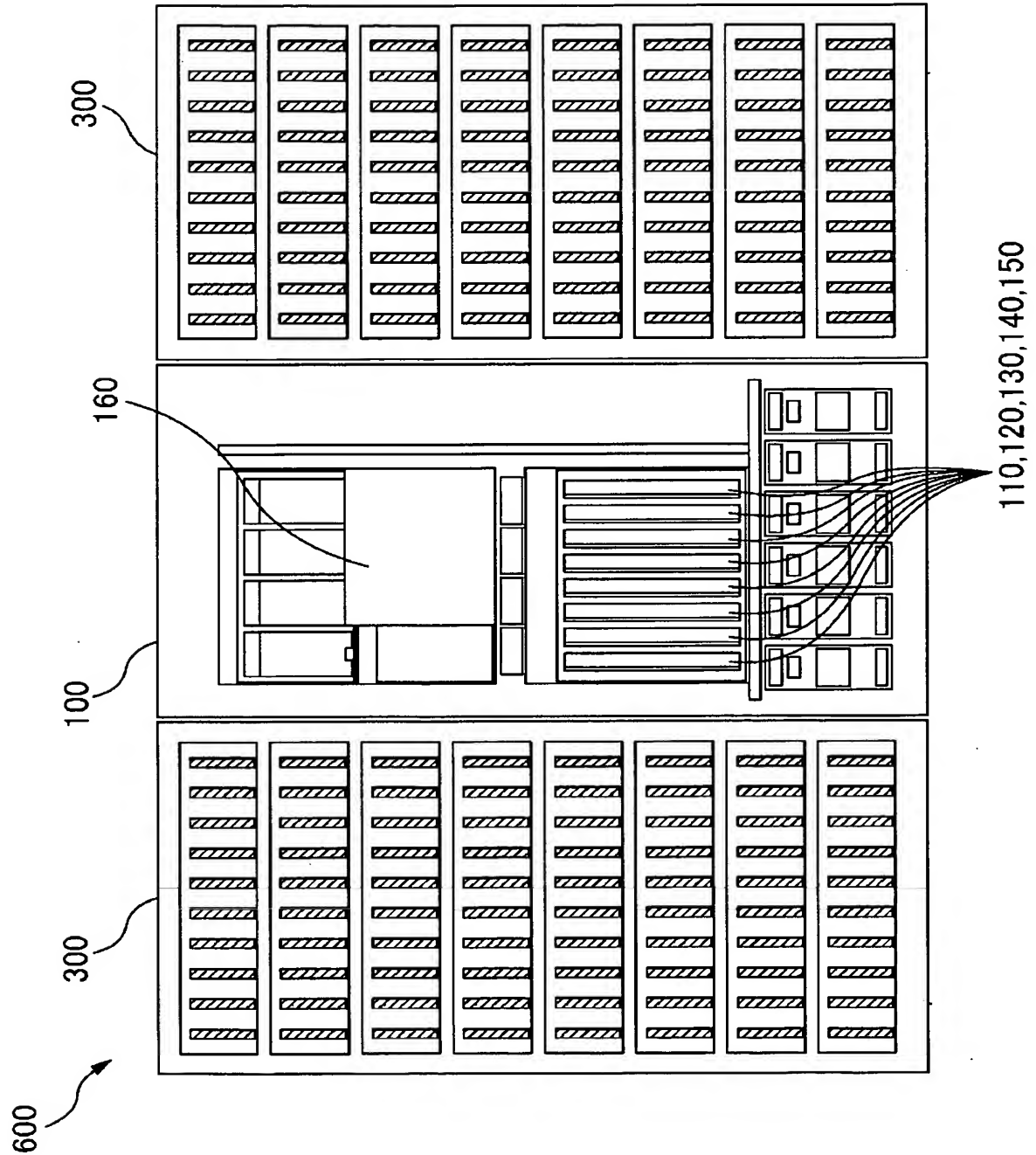
100	記憶デバイス制御装置	110	チャンネル制御部
112	プロセッサ 2	113	メモリ 2
114	DMA	115	プロトコルチップ
117	メモリ 1	118	回路基板
119	プロセッサ 1	120	共有メモリ
130	キャッシュメモリ	140	ディスク制御部
150	接続部	160	管理端末
200	情報処理装置	202	プロセッサ 2
203	メモリ 2	204	DMA
207	メモリ 1	209	プロセッサ 1
210	記憶装置	300	ディスク駆動装置
310	記憶ボリューム	400	LAN
500	SAN	600	ストレージシステム
801	DMA 制御部	803	転送起動レジスタ
804	転送レジスタ	805	初期設定レジスタ
806	スクリプトレジスタ		

【書類名】 図面  
【図 1】

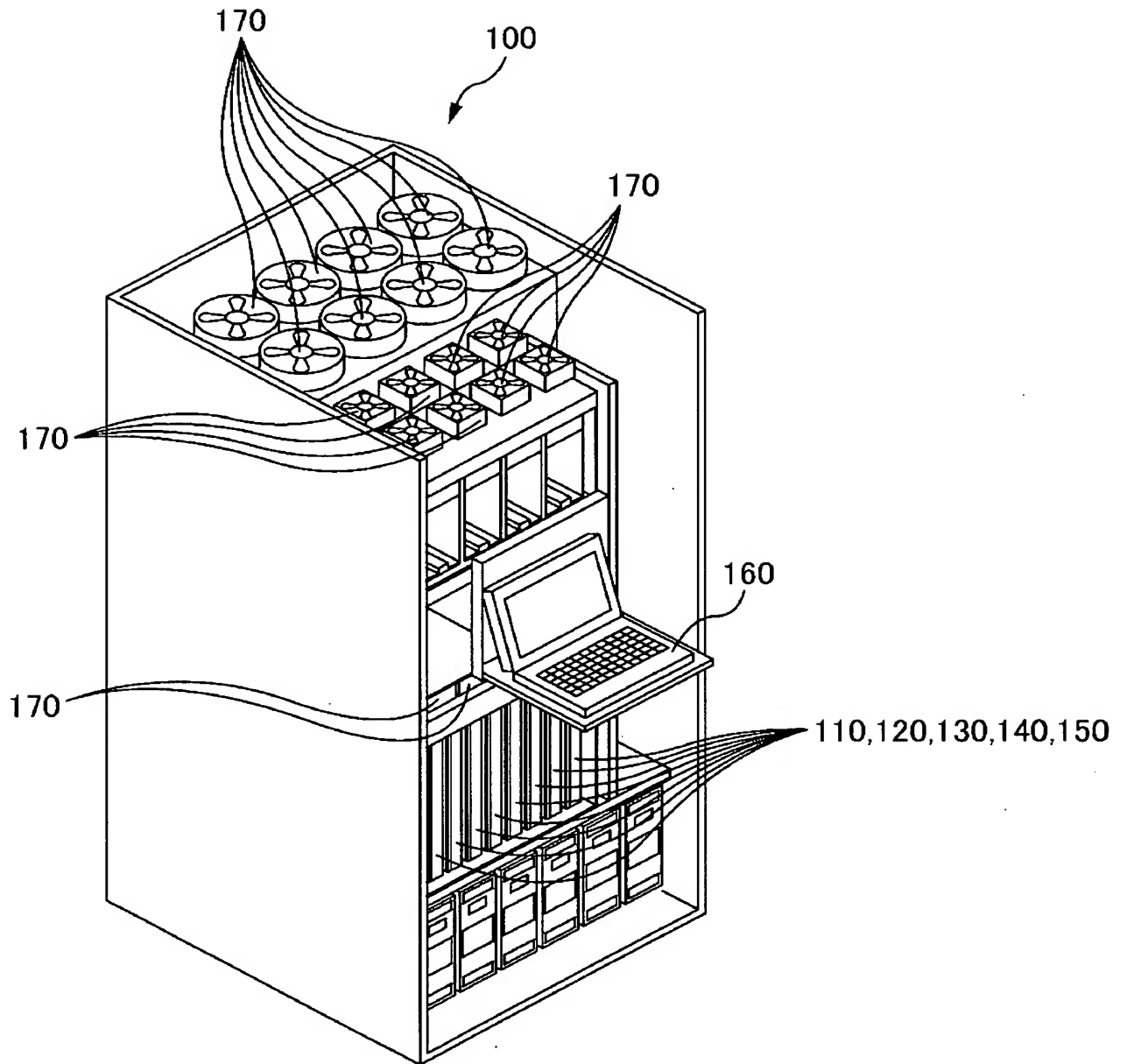




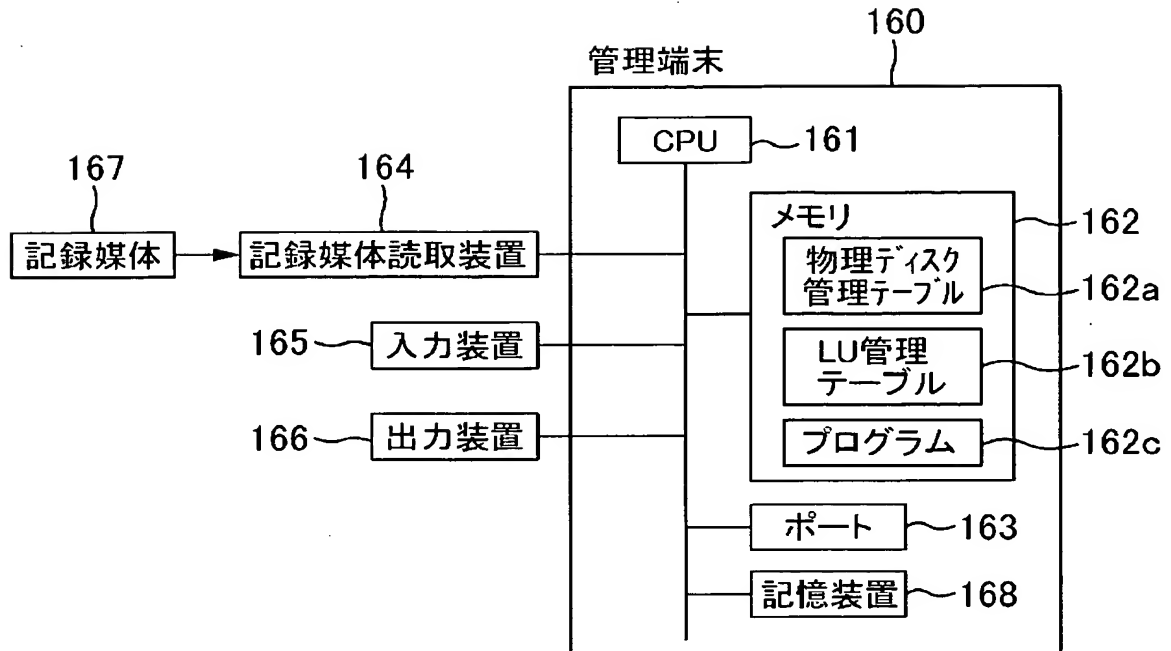
【図 2】



【図 3】



【図 4】



【図 5】

162a 物理ディスク管理テーブル

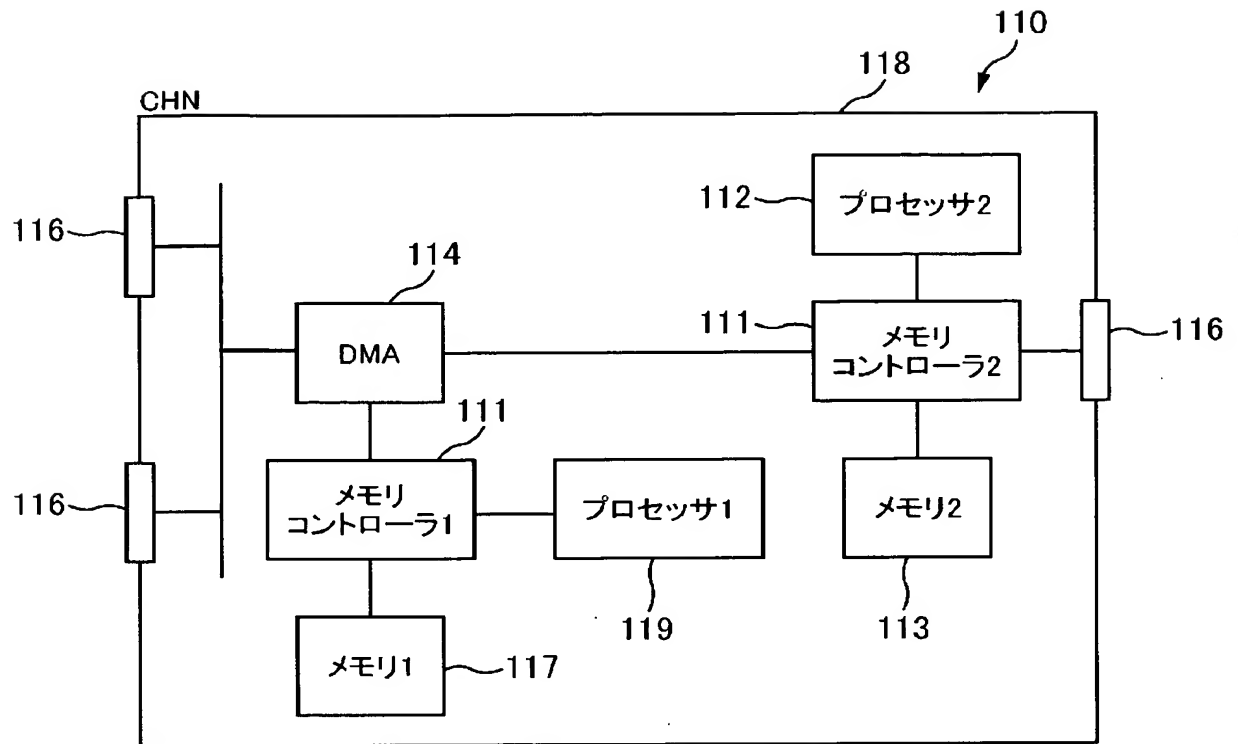
ディスク番号	容量	RAID	使用状況
#001	100GB	5	使用中
#002	100GB	5	使用中
#003	100GB	5	使用中
#004	100GB	5	使用中
#005	100GB	5	使用中
#006	50GB	—	未使用
⋮	⋮	⋮	⋮

【図 6】

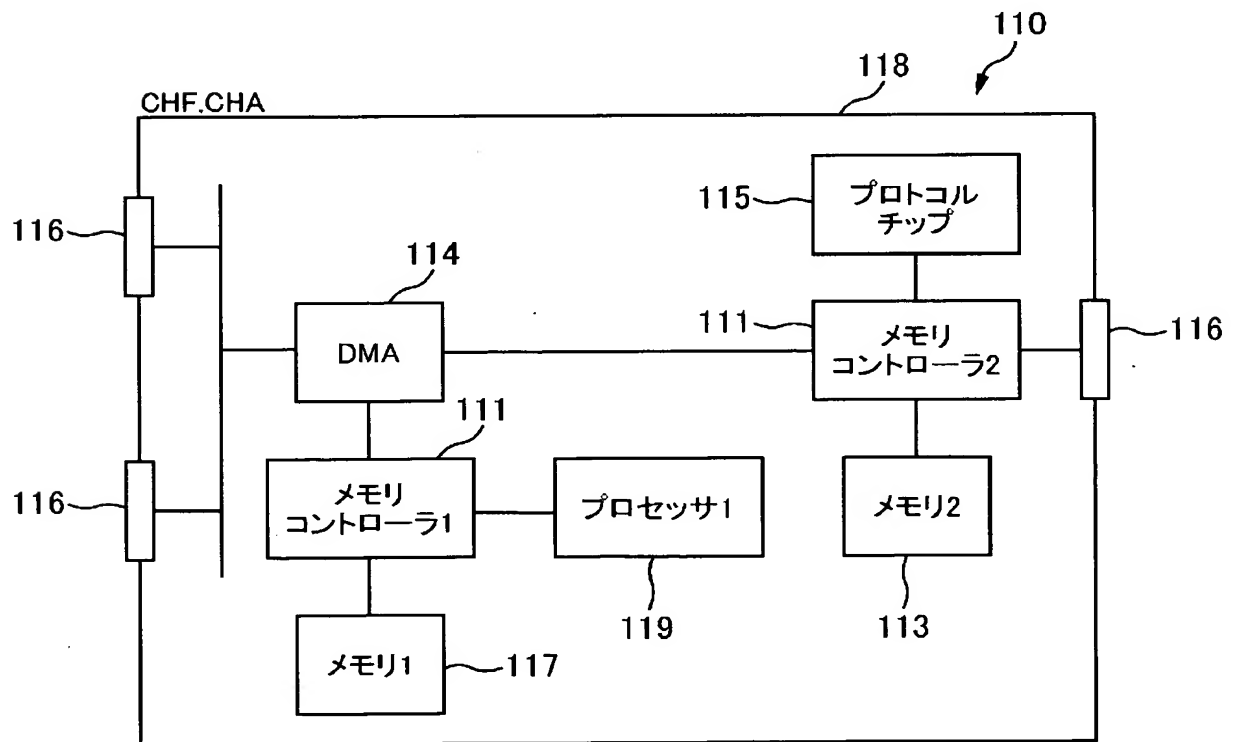
162b LU管理テーブル

LU番号	物理ディスク	容量	RAID
#1	#001,#002,#003,#004,#005	100GB	5
#2	#001,#002,#003,#004,#005	300GB	5
#3	#006,#007,	200GB	1
⋮	⋮	⋮	⋮

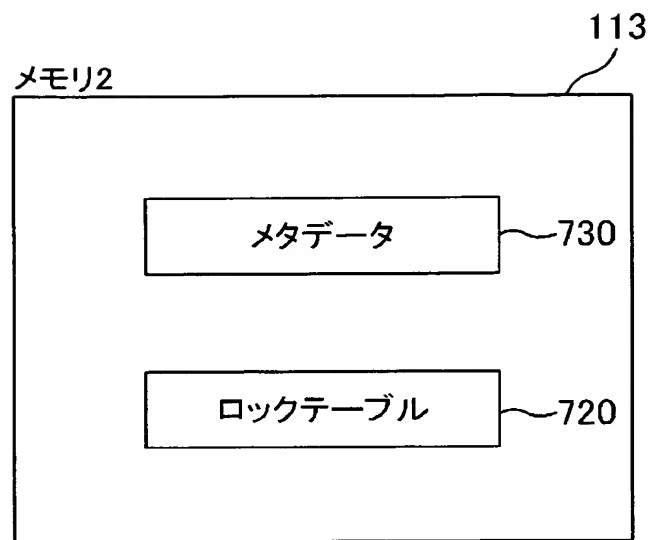
【図 7】



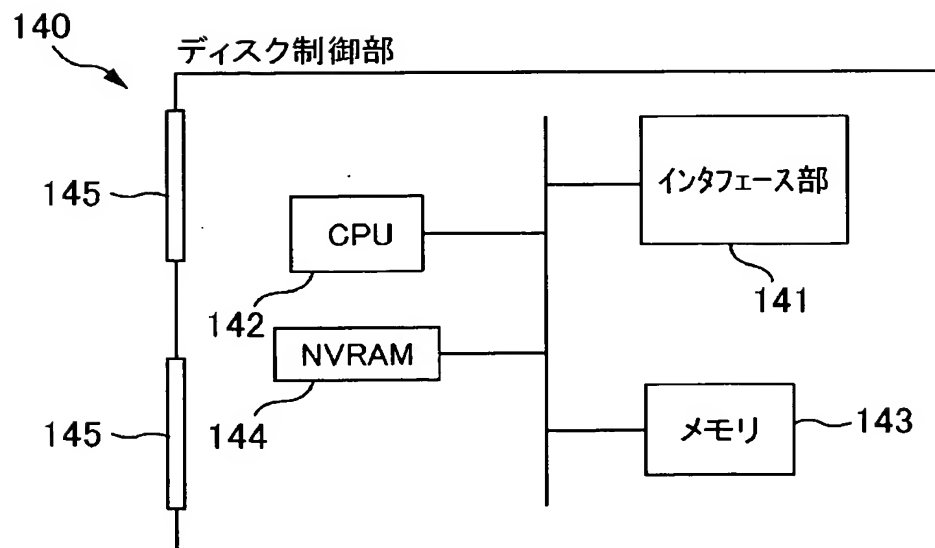
【図 8】



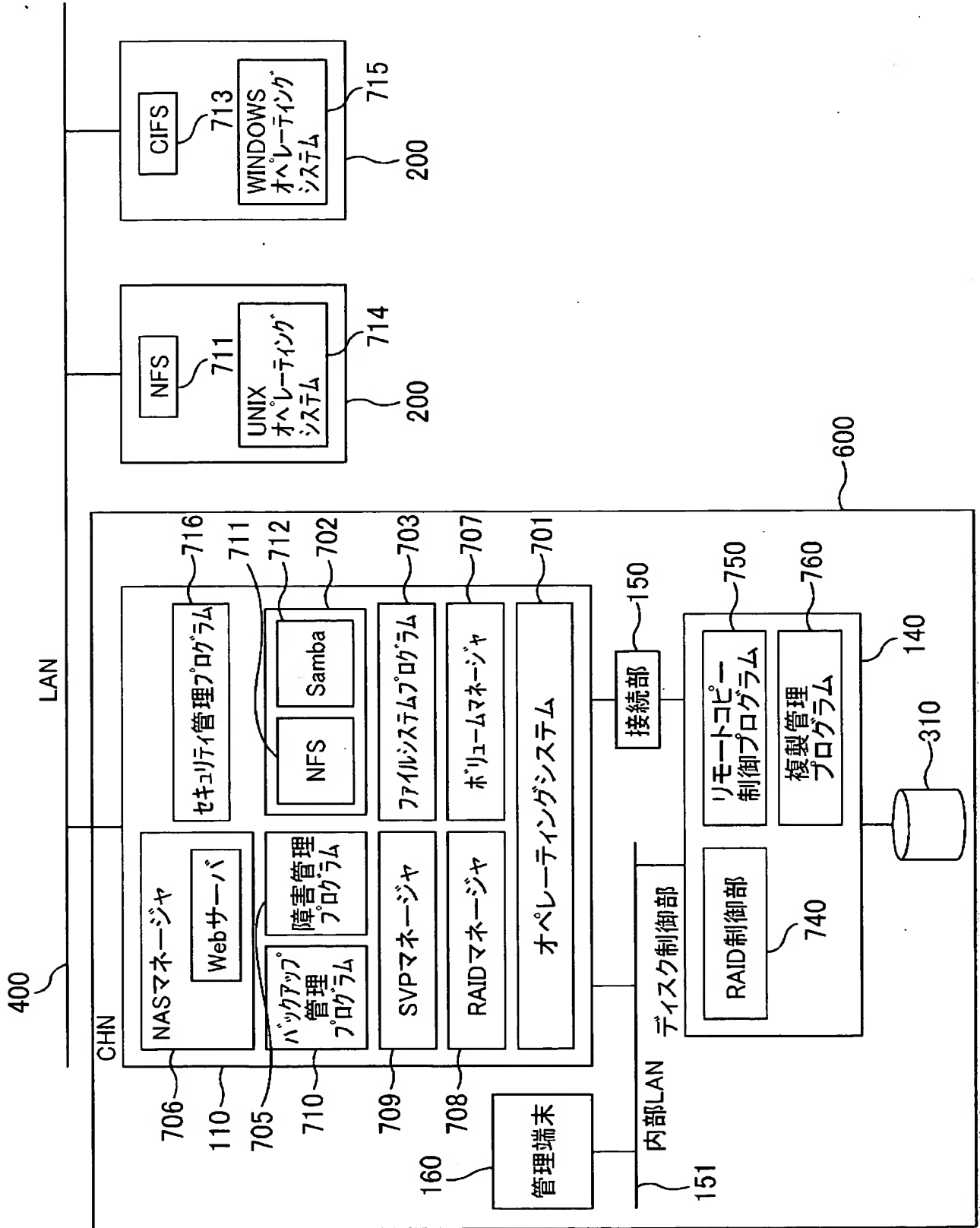
【図 9】



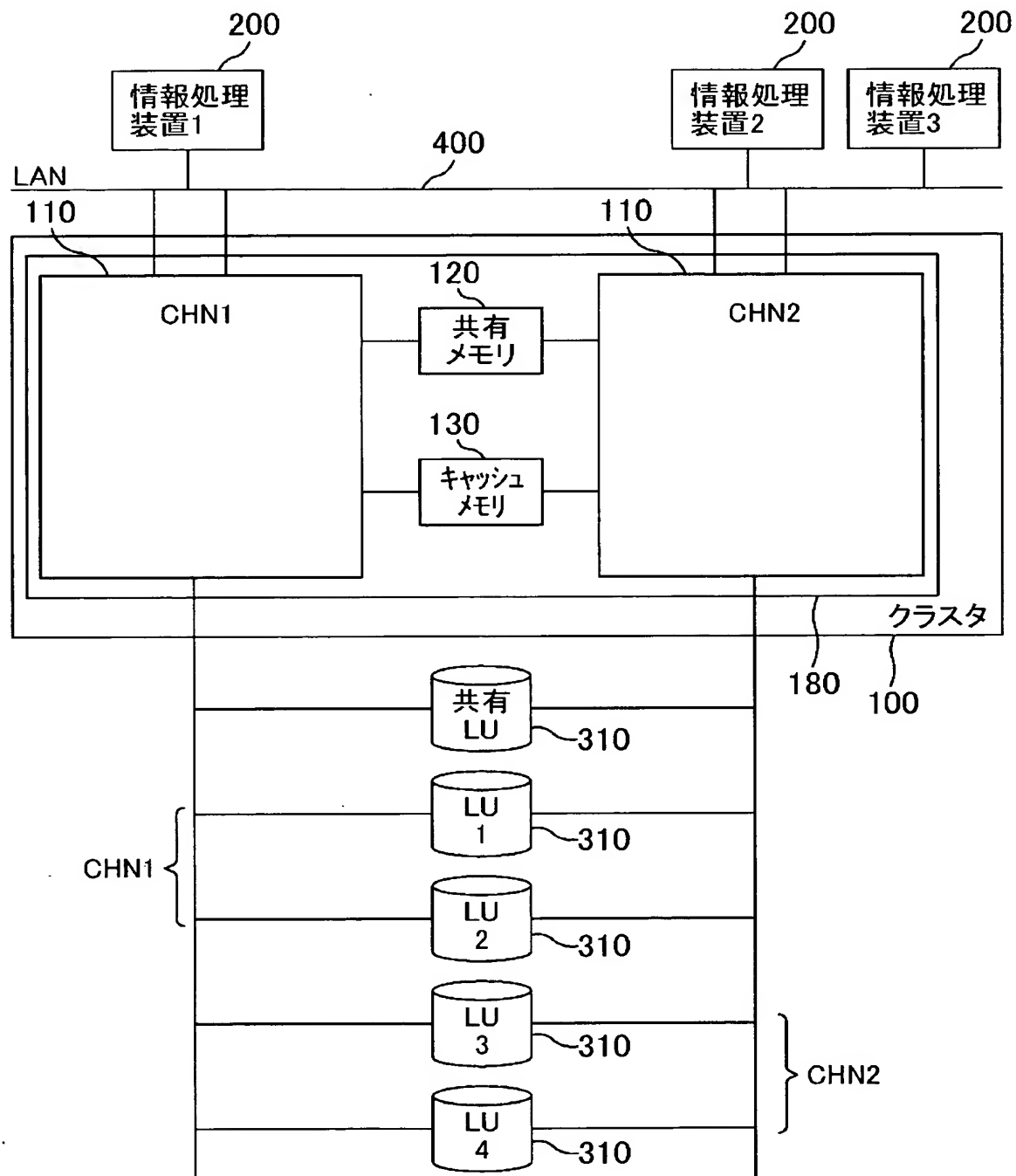
【図 10】



【図11】



【図 12】



【図 13】

730

メタデータ

ファイル名	先頭アドレス	容量	所有者	更新時刻
A	7BSA	200MB	X	0:00
B	05BF	50MB	X	7:57
C	1F30	100MB	Y	9:15
D	470B	100MB	Z	15:20
⋮	⋮	⋮	⋮	⋮

【図 14】

721

ファイルロックテーブル

ファイル名	ロック状態
A	ロック中
B	—
C	—
D	ロック中
⋮	⋮

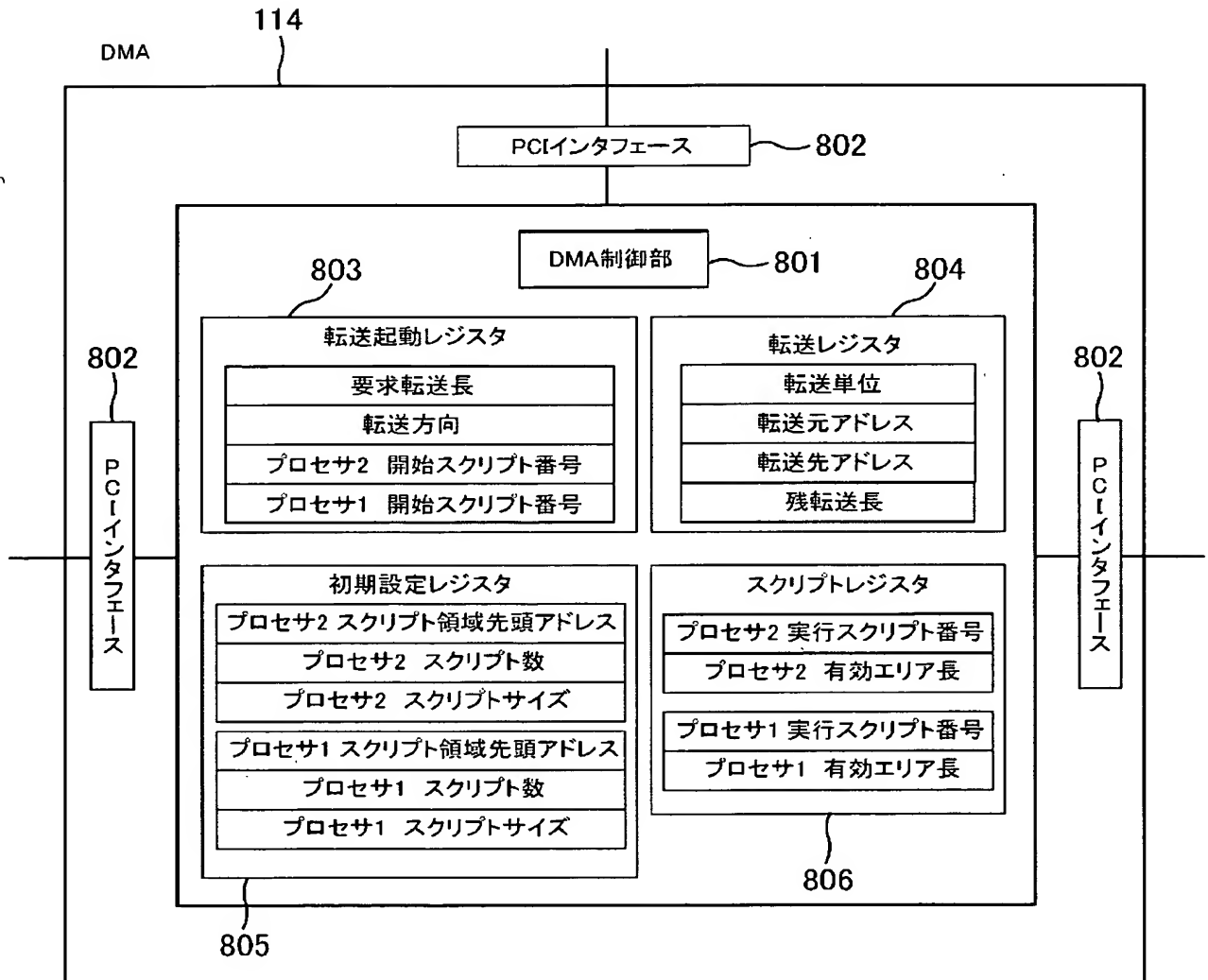
722

LUロックテーブル

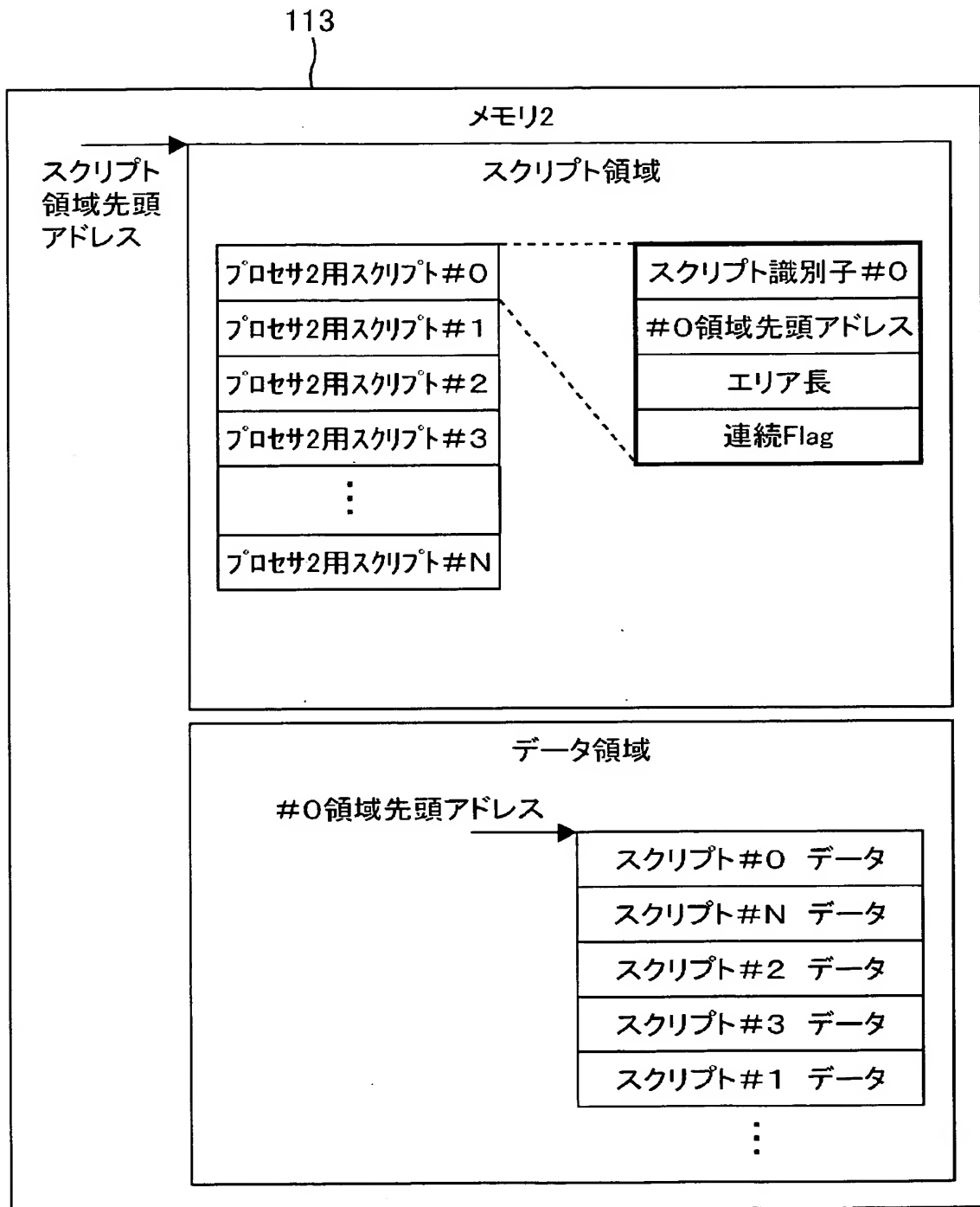
LU	ロック状態
共有	—
1	ロック中
2	—
⋮	⋮



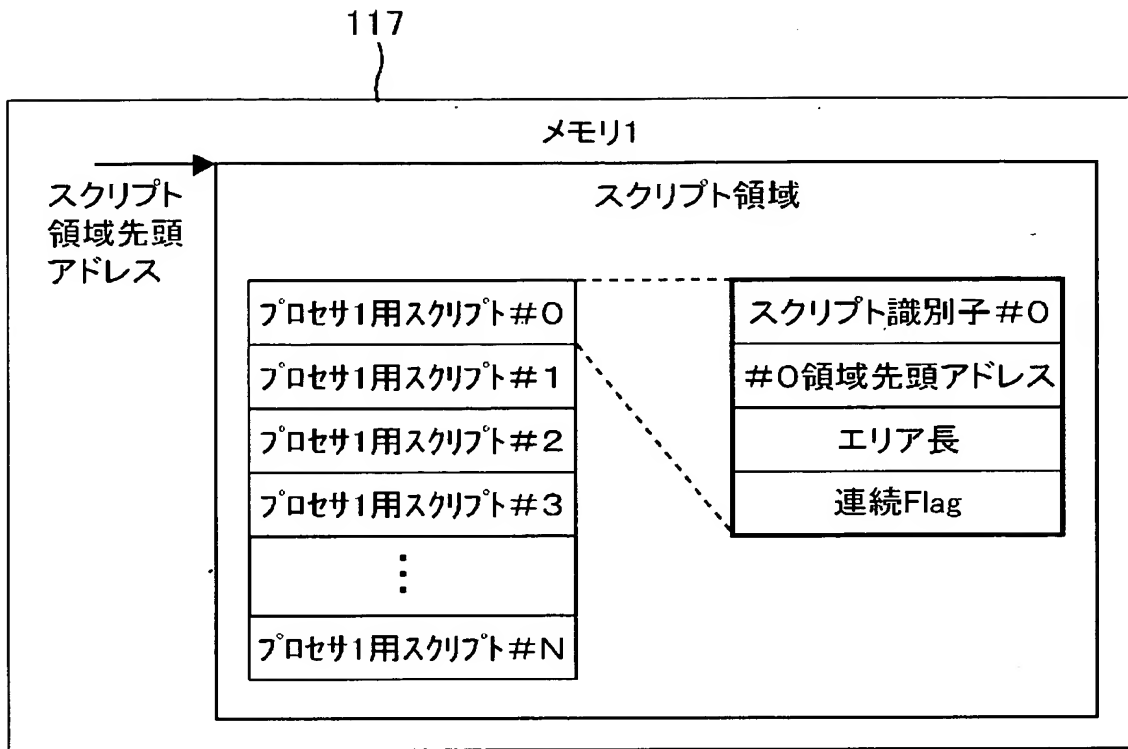
【図15】



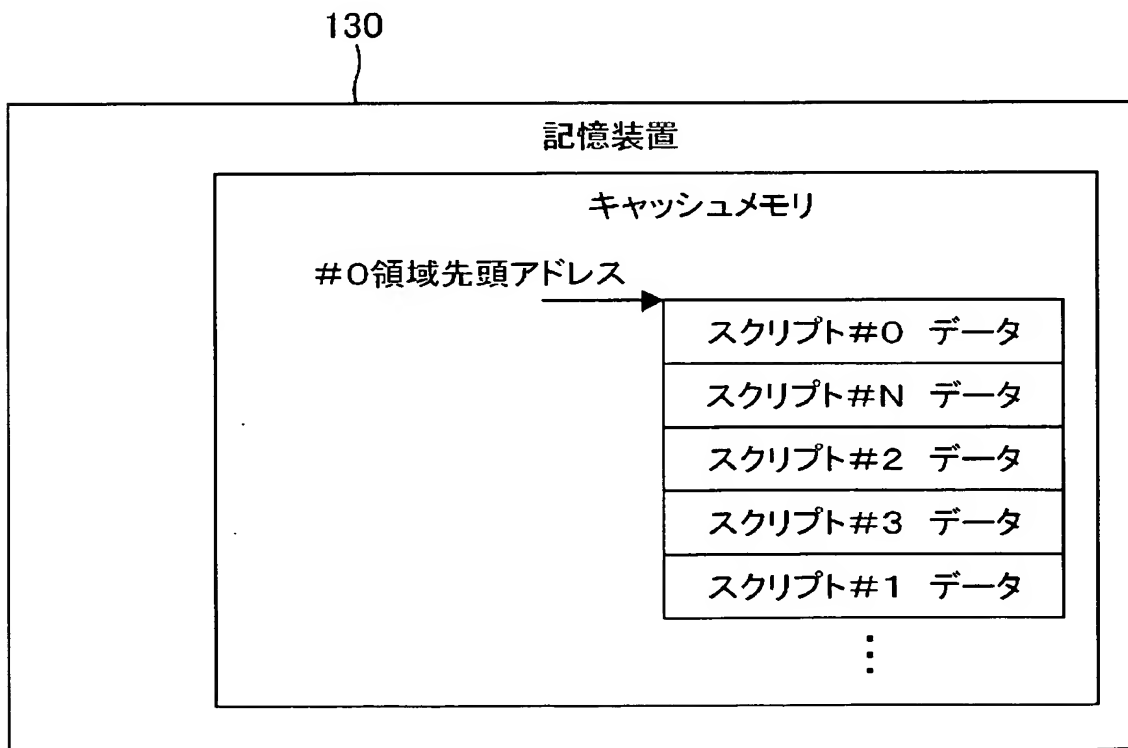
【図16】



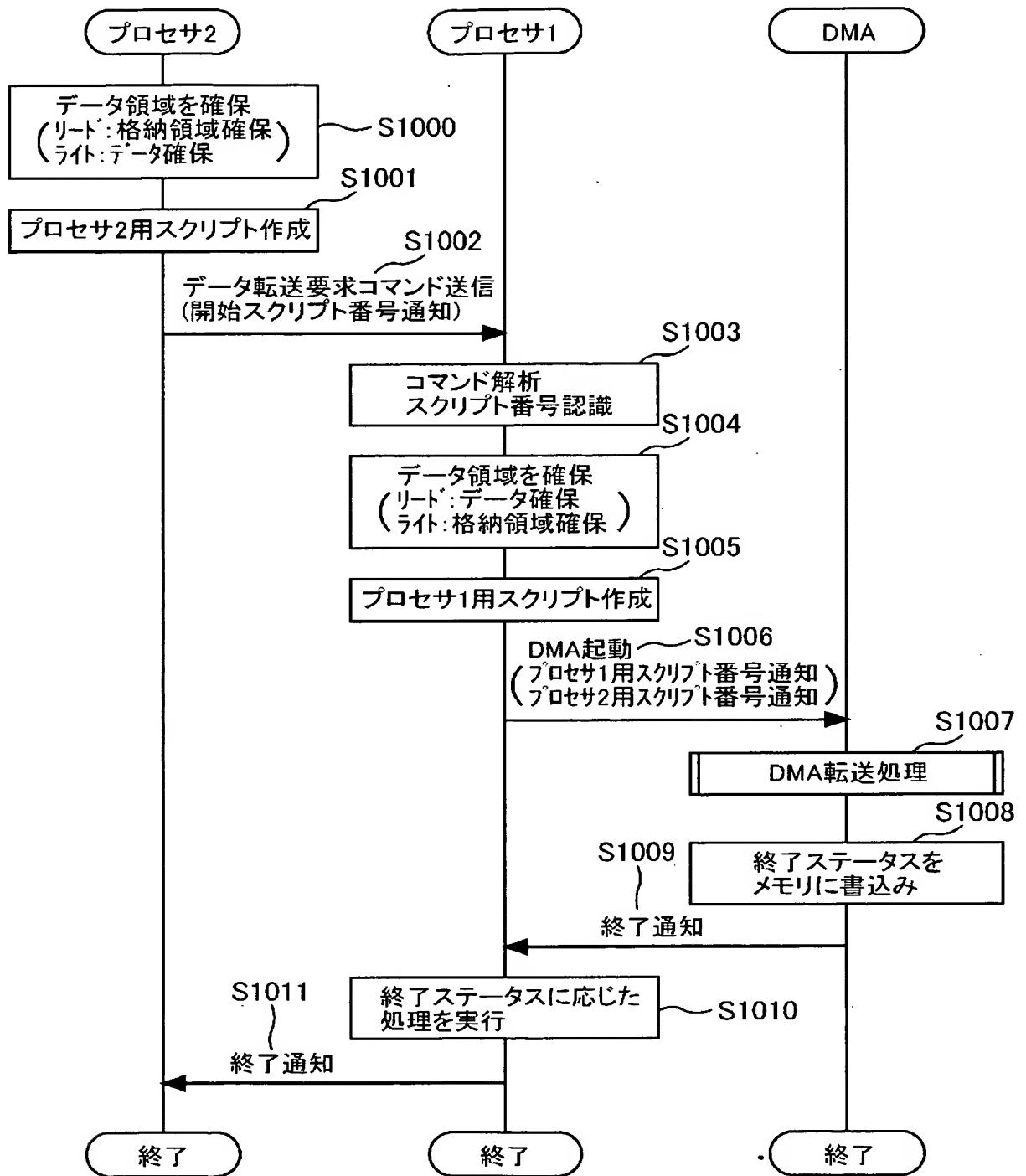
【図 17】



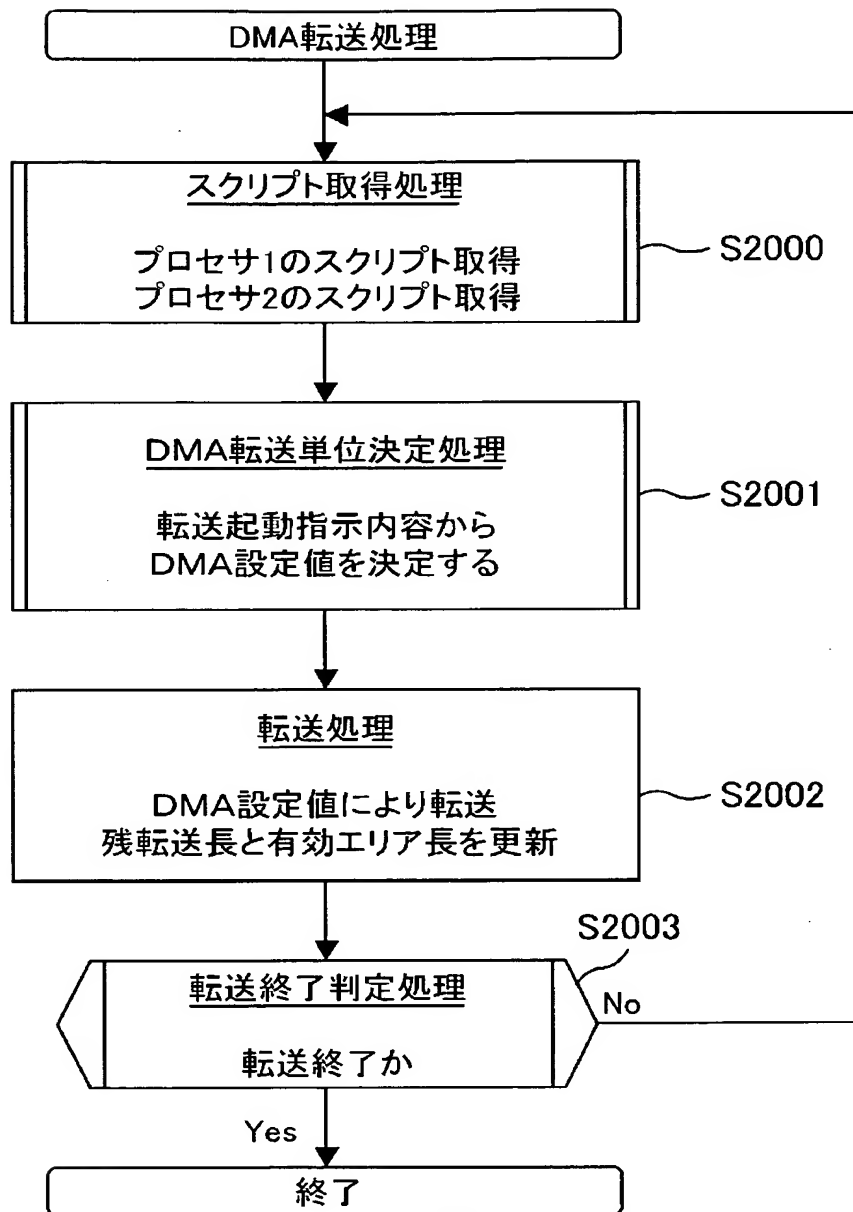
【図 18】



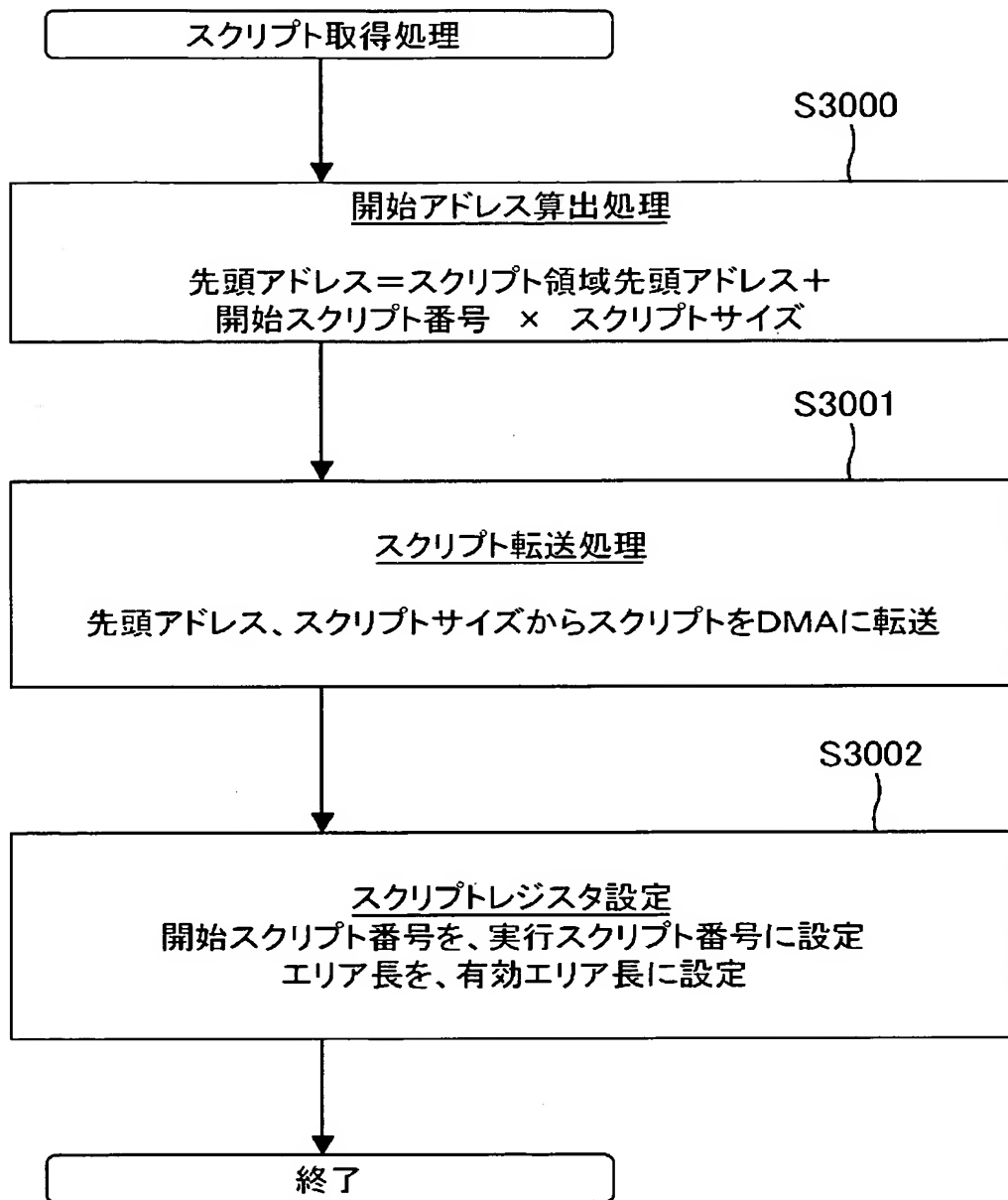
【図19】



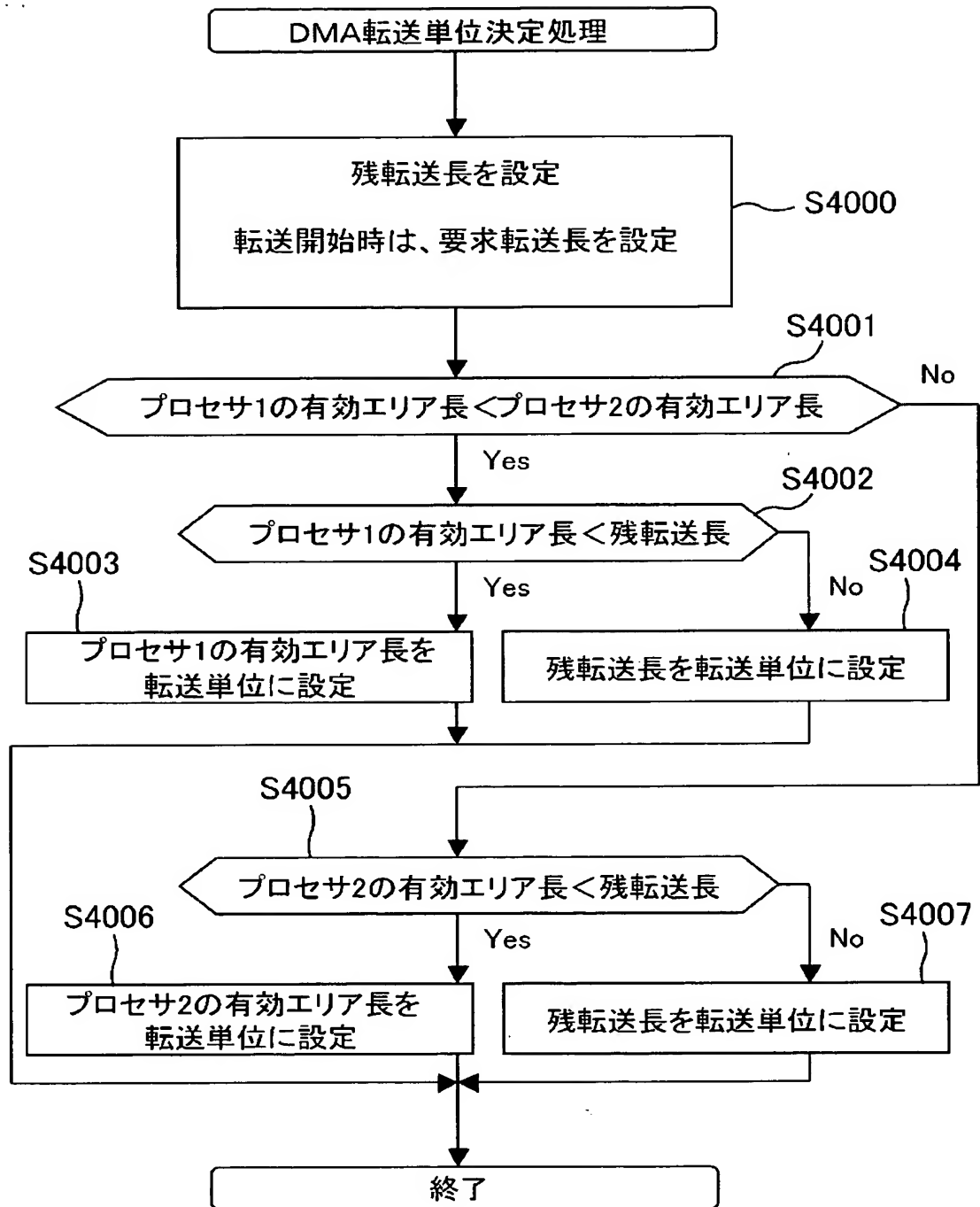
【図 20】



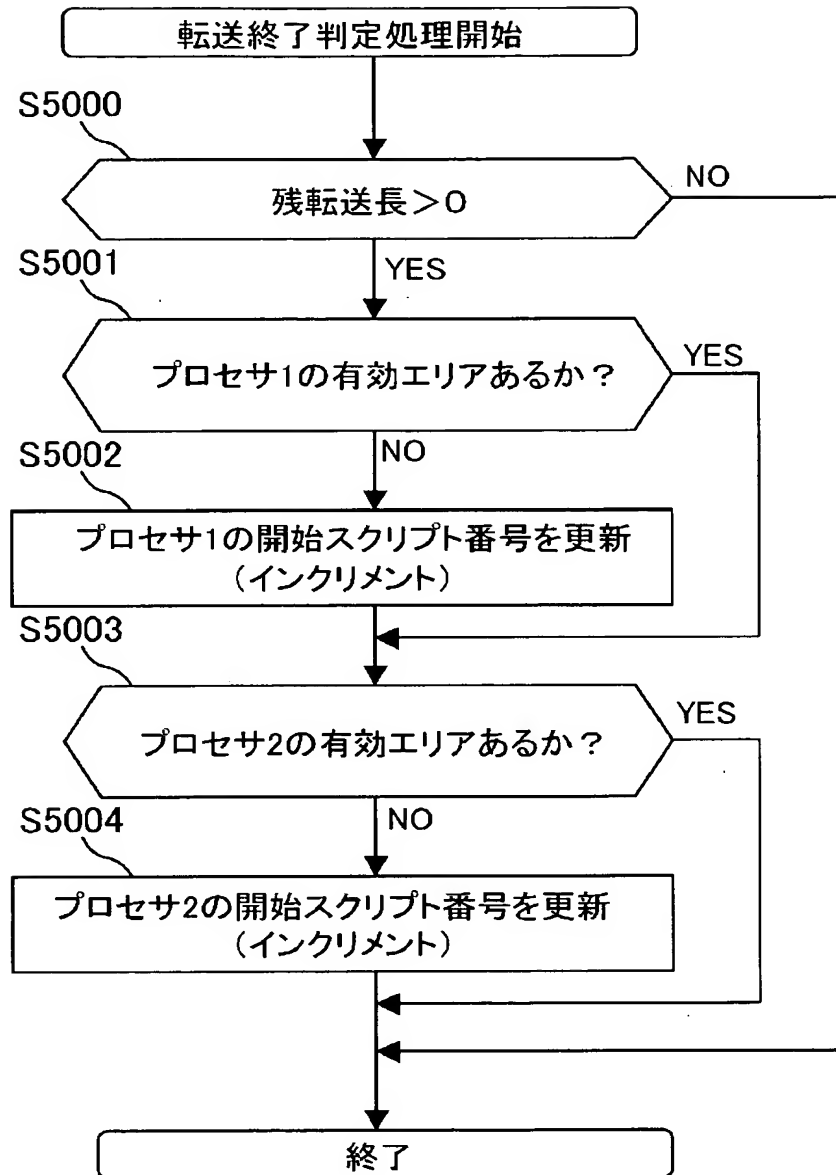
【図 21】



【図 22】

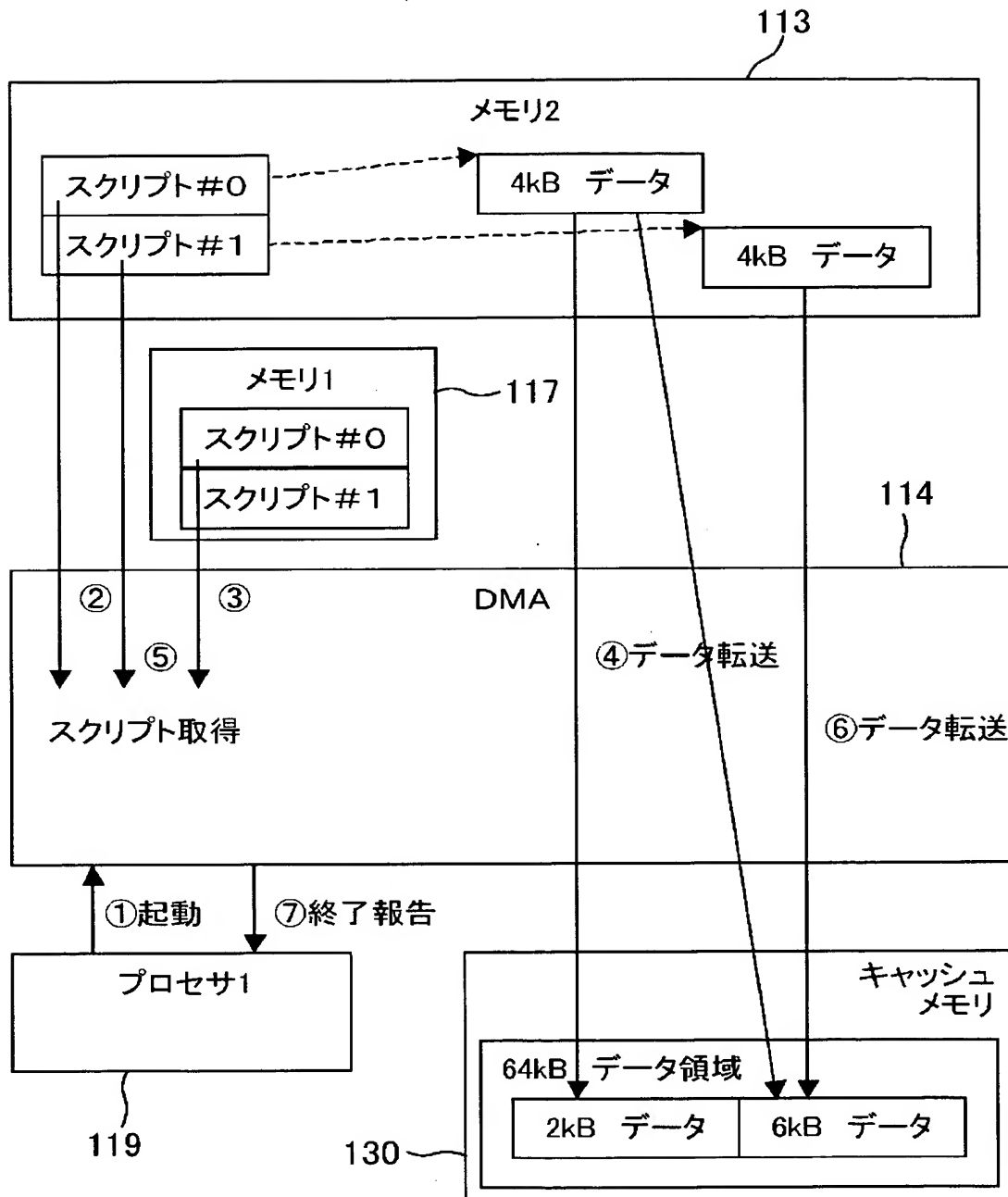


【図 23】

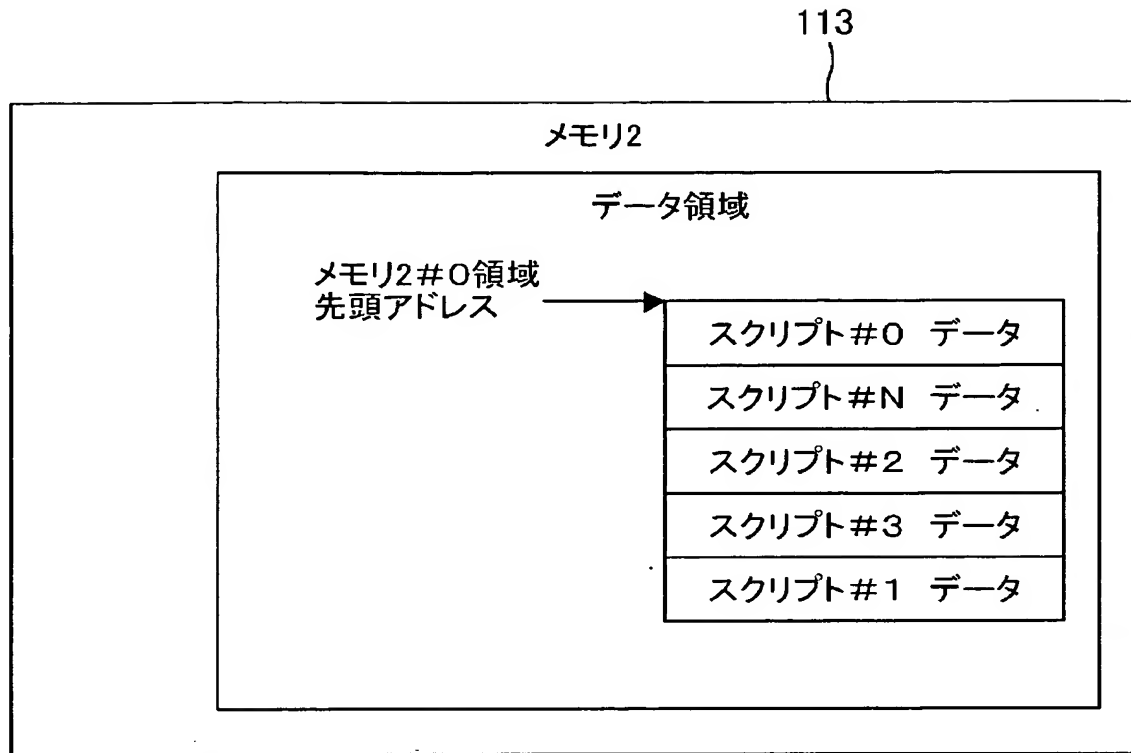




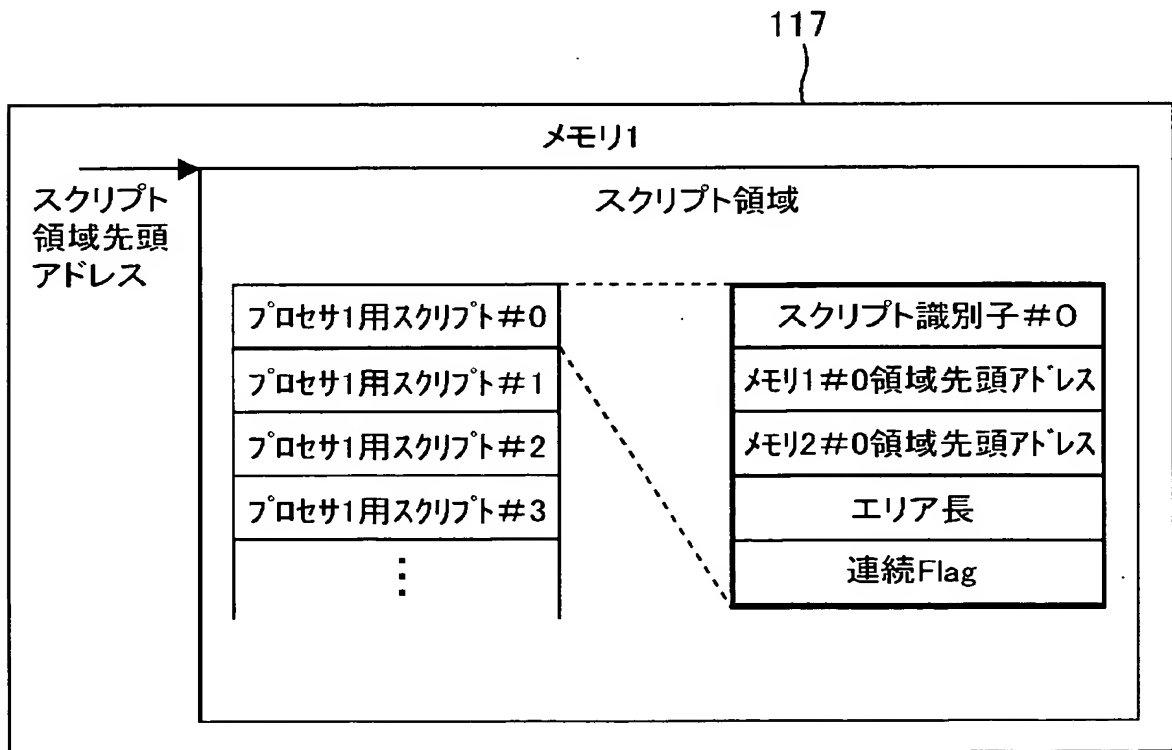
【図 24】



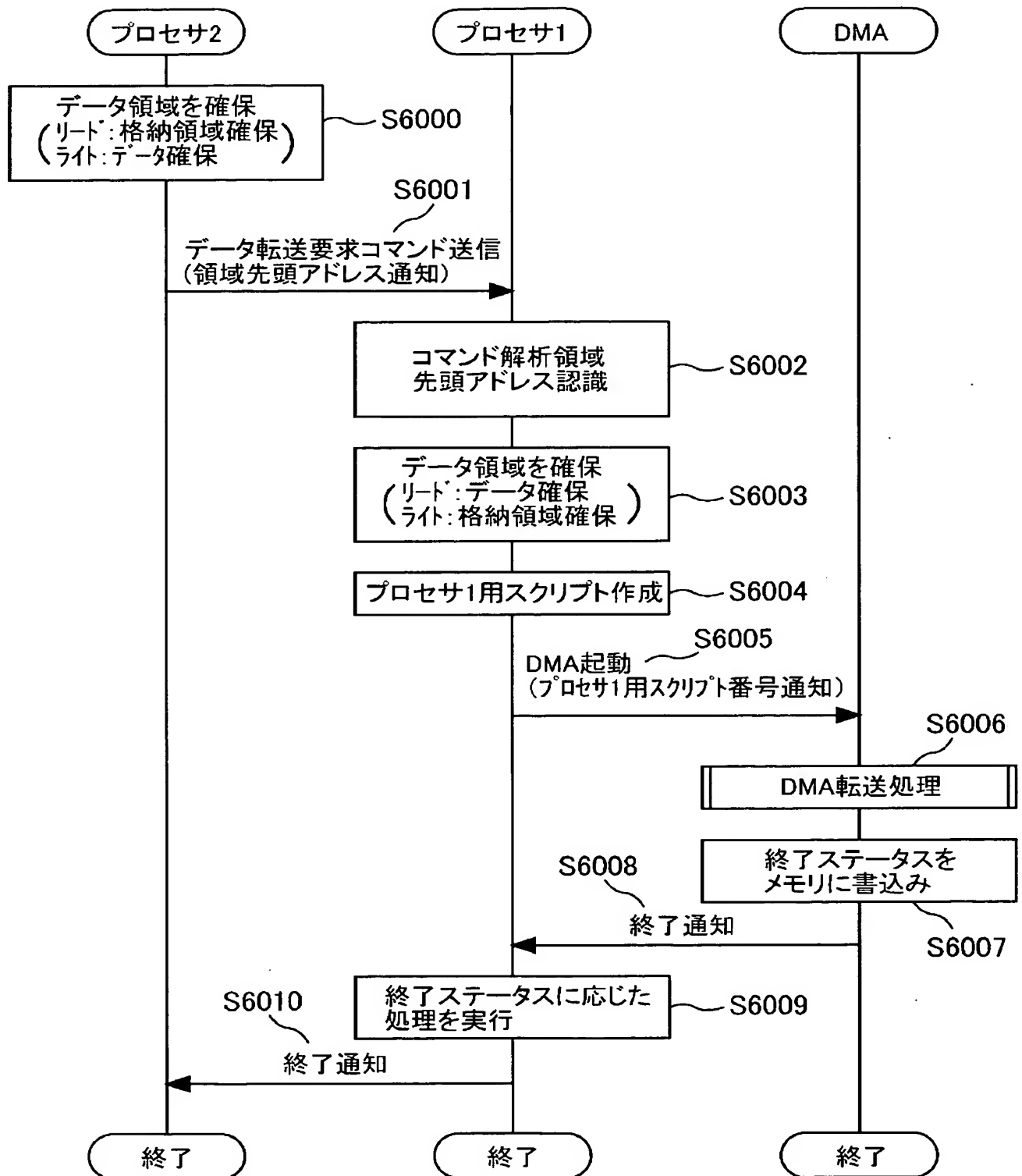
【図 25】



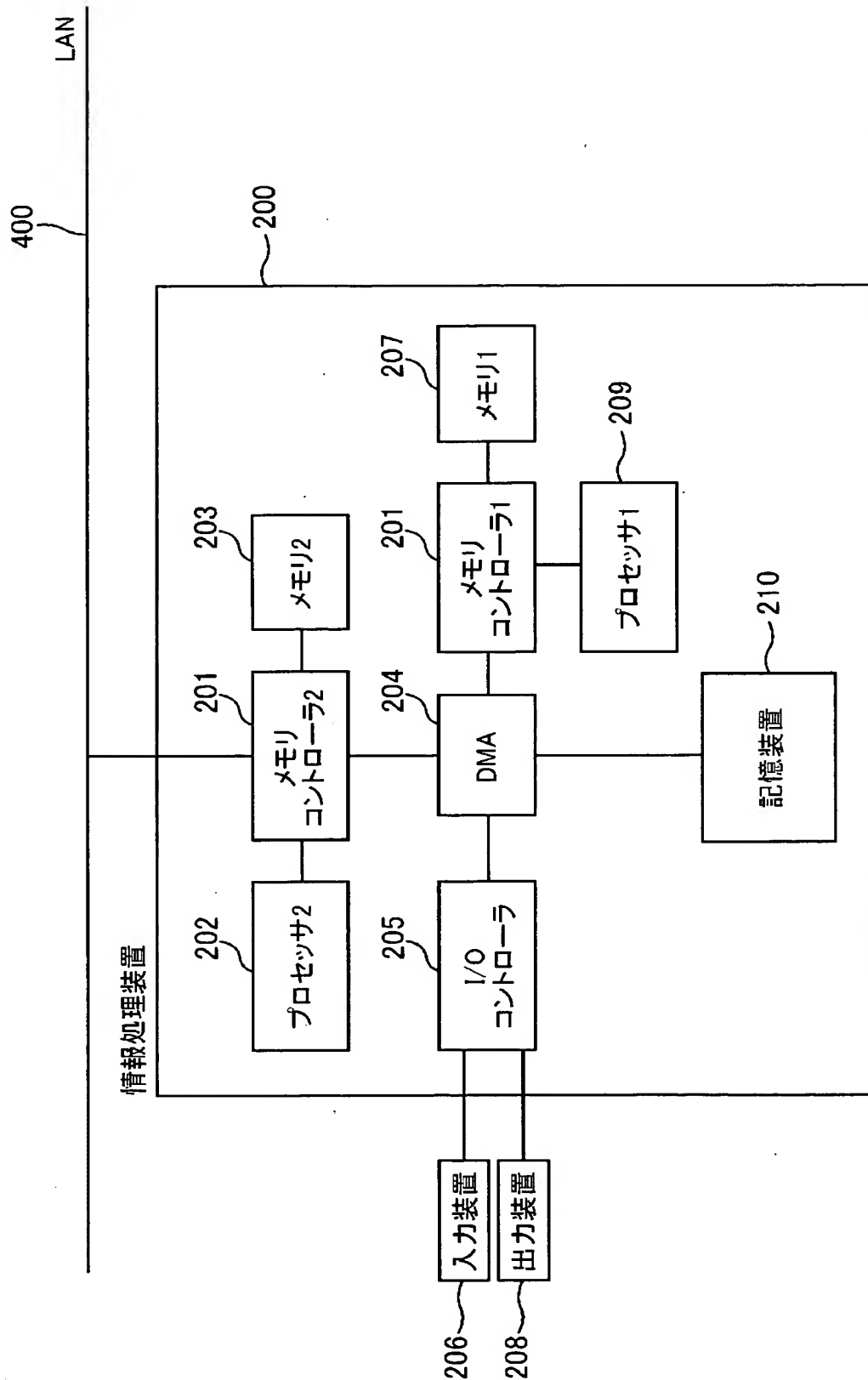
【図 26】



【図 27】



【図 28】



## 【書類名】 要約書

## 【要約】

【解決手段】 情報処理装置からファイル名指定によるデータ入出力要求を受信し情報処理装置との間でデータの送受信を行うチャンネル制御部と、記憶ボリュームに記憶されるデータの入出力制御を行うディスク制御部と、チャンネル制御部及びディスク制御部の間で授受されるデータを記憶する第1メモリとを備え、チャンネル制御部は、第1プロセサと、第2プロセサ及び第2メモリを有するファイルアクセス処理部と、データ転送装置と、第3メモリとが形成された回路基板を備え、第2プロセサが第2メモリにおけるデータの記憶位置情報を第1プロセサに送信し、第1プロセサが第1メモリと第2メモリとにおけるデータの記憶位置情報を含むデータ転送情報を第3メモリに書込み、データ転送装置が第3メモリからデータ転送情報を読み出し第1メモリと第2メモリとの間でデータ転送を行う。

## 【選択図】 図1

特願 2 0 0 3 - 3 6 8 5 9 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所